



Sealion (海狮) 2000/2000S 系列 FPGA

数据手册

版本 1.2

西安智多晶微电子有限公司 XIAN Intelligent Silicon Technology
西安市高新区科技二路 72 号西安软件园西岳阁 102 室 邮编 710075

<http://www.isilicontek.com>

文档修订历史

日期	版本	修订内容
2018.11	1.0	首次发布。
2019.04	1.1	增加 213uBGA 封装规格。
2020.01	1.2	增加 5K 7K 产品资讯

西安智多晶

目录

1	概述.....	1
1.1	特性	1
1.2	器件资源	2
1.3	体系结构	3
1.4	零件编号说明.....	5
2	逻辑单元和逻辑阵列模块.....	6
2.1	逻辑单元	6
2.2	逻辑阵列模块.....	9
3	存储器模块.....	11
3.1	概述	11
3.2	存储器模式.....	15
3.3	时钟模式	20
3.4	设计考量	21
4	嵌入式乘法器.....	23
4.1	嵌入式乘法器模块概述	23
4.2	体系结构	24
4.3	操作模式	26
5	时钟网络与 PLL.....	28
5.1	时钟网络	28
5.2	PLL.....	31
5.3	PLL 硬件概述	31
5.4	硬件特性	32
6	I/O 特性.....	34
6.1	I/O 单元	34
6.2	I/O 单元特性	35
6.3	I/O 标准	38
6.4	I/O 模块 (BANK)	38
6.5	高速 I/O 接口	42
6.6	高速 I/O 标准支持.....	43

1 概述

西安智多晶微电子有限公司的 Sealion (海狮) 2000/2000S 系列 FPGA 器件 (下称“本系列 FPGA”), 建立在一个优化的低功耗工艺基础之上, 并提供最低的功耗, 通过最低的成本实现较高的功能性。本系列 FPGA 器件旨在用于大批量、成本敏感的应用, 使系统设计师在降低成本的同时又能够满足不断增长的应用要求, 在低成本、低功耗 FPGA 市场处于领导地位。

对无线、有线、广播、工业用户以及通信等行业中的低成本的小型应用, 本 FPGA 无疑是最理想的选择。

1.1 特性

本系列 FPGA 具有以下特性:

- 低成本、低功耗的 FPGA 架构:
- 基于 55 纳米技术工艺 (55nm), 4K 到 25K 的查找表逻辑单元
- 嵌入式高速双接口存储器 (dual port SRAM/FIFO Block) (真双端口/伪双端口)
- 内置多个 $18 \times 18 / 9 \times 9$ 可串行乘法器以及算数逻辑单元 (ALU), 可做两层叠加实现 DSP 处理密集型应用
- 最高可达到 335 个有效用户 I/O
- 高达 840Mbps 发送器 (Tx), 875Mbps Rx 的 LVDS 接口, 时钟延迟匹配电路, 7:1 LVDS 界面
- 支持 200MHz 的 DDR2 SDRAM 接口
 - DQS 输入端 90 度相位转换
 - DQS 输入端到系统时钟接轨 (clock domain transfer)
- 支持 167MHz 的 SDR SDRAM
- 支持 MIPI.D-PHY 等效, 1.2Gbps
- 集成 $2M \times 32bit$ 的 SDRAM
 - 单一封装集成 FPGA 和 SDRAM 双芯片
- 每器件中拥有 2 个内置锁相环 (PLLs) 和 2 个延迟锁相环 (DLLs)

- 提供倍频、分频、相位转移等系统时钟功能，包含展频功能。
- 5K/7K 设备提供嵌入式闪存，可容纳两套比特流，及 500k 用户闪存；在微秒内通电，个人密码设置的安全性；带外部 SPI 内存的双引导
- 支持商业与工业温度等级

1.2 器件资源

表 1-1 Sealion (海狮) 2000/2000S 器件系列资源

片上资源种类	SL2-5K	SL2-7K	SL2-12K	SL2S-12K	SL2-18K	SL2-25K	SL2S-25K
逻辑单元	5040	6864	12032	12032	18656	24992	24992
分布式存储器	40	54	96	96	152	200	200
嵌入式存储器 (Kbits)	92	240	432	432	664	864	864
嵌入式存储器单元数 (9kbits/单元)	12	26	48	48	72	96	96
嵌入式 18×18 乘法器 (注 2)	16	-	20	20	32	32	32
通用 PLL+DLL 数量	2+2	2+2	2+2	2+2	2+2	2+2	2+2
全局时钟网络 (注 3)	16	16	8+8	8+8	16	16	16
用户 I/O 模块	6	6	8	8	8	8	8
最大用户 I/O (注 1)	186	336	186	128	242	242	186
核心工作电压	1.2V	1.2V	1.2V	1.2V	1.2V	1.2V	1.2V
芯片等级 (注 4)	C/I	C/I	C/I	C/I	C/I	C/I	C/I
封装规格		I/O 数					
W81CSP	81WLCSP (3.8x 3.8mm, 0.4mm)	63					
E121	121 CSFBGA (6 x 6mm, 0.5mm)	100					
E400	400 caBGA (17 x 17mm, 1.0mm)		335				
E176	176eLQFP (20 x 20mm, 0.4mm)				127		127
U213	213uBGA (12 x 12mm, 0.8mm)						164
F256	256 fBGA (17 x 17mm, 1.0mm)		156	186		186	186
U324	324 uBGA (15 x 15mm, 0.8mm)		279			242	242

【注】

1. 管脚列表文件中的用户 I/O 管脚包括所有的通用 I/O 管脚、专用时钟管脚以及两用配置管脚。收发器管脚和专用配置管脚不包括在这一管脚列表中。
2. 嵌入式 18 × 18 乘法器均为 DSP 硬核，可做乘法器兼累加器。
3. 16 个全局时钟均包含 8 个主时钟及 8 个次时钟。
4. 等级：
 - C：商业级，工作温度：0℃ - 85℃
 - I：工业级，工作温度：-40℃ - 100℃

1.3 体系结构

这一部分介绍本系列 FPGA 的体系结构，其中包括以下几方面内容：

- FPGA 核心架构
- I/O 特性
- 时钟管理
- 外部存储器接口
- 配置

1.3.1 FPGA 核心架构

本系列 FPGA 的核心构架由四输入查找表 (LUTs)、逻辑单元存储器模块以及乘法器构成。

嵌入式存储器模块具有 9Kbit 的 SRAM 存储器。可以把嵌入式存储器模块配置成单端口、伪双端口、真双端口 RAM 以及 FIFO 缓冲器或者 ROM，通过配置也可以实现表 1-2 中的数据宽度。

表 1-2 嵌入式存储模块数据宽度

模式	数据宽度配置
单端口或伪双端口	×1, ×2, ×4, ×8/9, ×16/18, ×32/36
真双端口	×1, ×2, ×4, ×8/9, ×16/18

嵌入式乘法器模块，可以在单一模块中实现一个 18×18 或两个 9×9 乘法器。

1.3.2 I/O 特性

本系列 FPGA 器件的 I/O 支持可编程总线保持、可编程上拉电阻、可编程下拉电阻、可编程延迟、可编程驱动能力以及可编程 slew-rate 控制，从而实现了信号完整性以及热插拔的优化。

本系列 FPGA 器件同时还支持支持驱动阻抗匹配 (Rs)。

表 1-3 I/O 表针

类型	I/O 标准
单端 I/O	LVTTL、LVCMOS、SSTL、HSTL 和 PCI
差分 I/O	LVDS、SSTL、HSTL、LVPECL、BLVDS、mini-LVDS 和 RSDS

1.3.3 时钟管理

本系列 FPGA 中，12K 逻辑资源 FPGA 器件包含了 8 个全局时钟 (GCLK) 网络，和 8 个高扇出网路；25K 逻辑资源 FPGA 器件包含了 16 个全局时钟 (GCLK) 网络，其中 8 个全局时钟可以复用为高扇出网路。

本系列 FPGA 的器件有 2 个 PLL (每个 PLL 上均有五个输出端) 和 2 个 DLL，以提供可靠的时钟管理与综合。您可以在 HqFpga 软件中对 PLL 进行重配置时钟频率或者相位。

1.3.4 外部存储器接口

本系列 FPGA 器件支持 SDR、DDR、DDR2 等 SDRAM 接口。接口可能位于器件的一个或多个 I/O 模块 (I/O bank)，以实现更灵活的电路板设计。

本系列 FPGA 器件 DDR SDRAM 存储器接口解决方案，由一个 PHY 接口和一个存储控制器组成。智多晶提供了 PHY 接口 IP，您可以将它与您自己定制的存储控制器或智多晶提供的存储控制器一起使用。

1.3.5 配置

本系列 FPGA 器件使用 SRAM 单元存储配置数据。每次 FPGA 上电后，配置数据会被下载到 FPGA 中。低成本配置选项包括串行被动模式、串行主动 SPI 模式和串行 JTAG 模式。这些选项实现了通用应用程序的灵活性，并提供了满足特定配置以及应用程序唤醒时间要求的能力。

表 1-4 FPGA 的配置方案

器件	支持的配置方案
Sealion (海狮) 2000/2000S 系列 FPGA	AS (SPI)、PS 和 JTAG*
Sealion (海狮) 2000E 系列 FPGA	AS (SPI)、PS 和 JTAG**

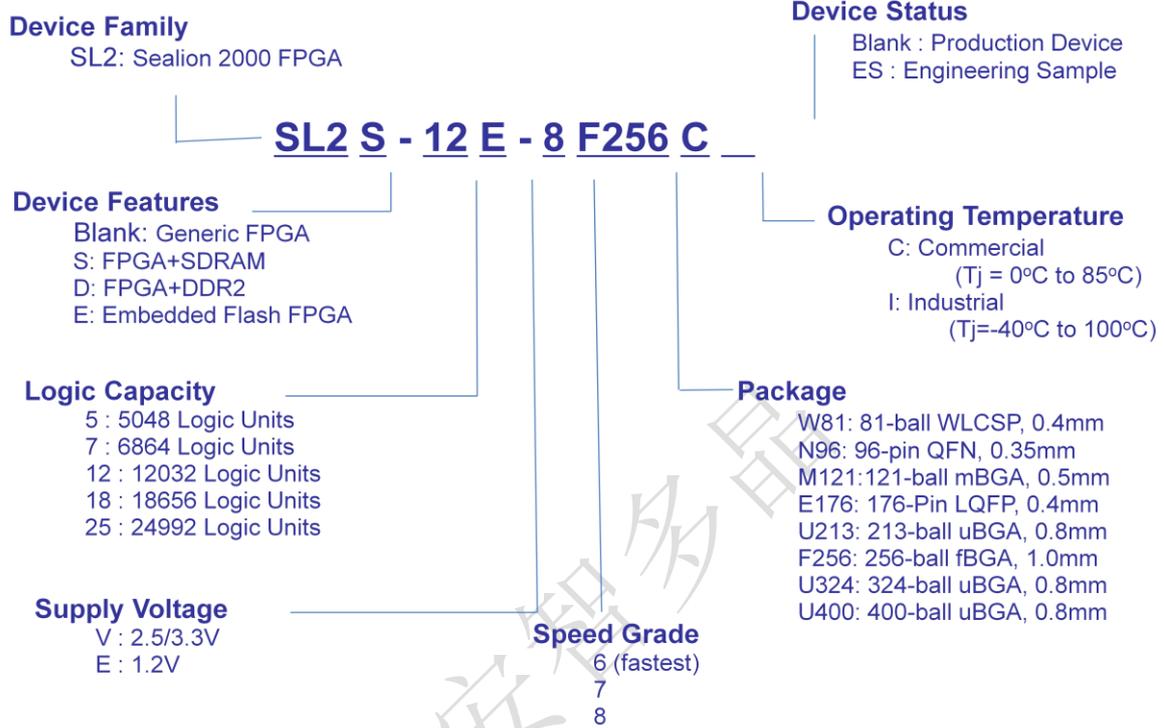
所有管脚均支持用于边界扫描测试的 IEEE1149.1 (JTAG)。

*支持两种模式的双启动，一个主模式和一个包含所有块 ram 初始值的 goldern bitstream

**2000E 系列 (5K/7K 器件)，通过内部闪存即时通电，包括内部闪存下载，设置个人密码以确保安全。还包括 SED/SEC、软错误检测和软错误校正，即检测到的错误，不中断用户功能。提供 256 位 AES 安全性

1.4 零件编号说明

Sealion 2000 family part number description



2 逻辑单元和逻辑阵列模块

这个章节包含了逻辑单元和逻辑阵列模块的特性。具体信息体现在逻辑单元如何运作，逻辑阵列模块如何容纳逻辑单元组，以及逻辑阵列模块接口如何与 Sealion (海狮) 2000/2000S 系列 FPGA 器件中的其他模块连接。

2.1 逻辑单元

逻辑单元在 Sealion (海狮) 2000/2000S 系列 FPGA 结构中最小的逻辑单元。逻辑单元紧密且有效的提供了高级功能的逻辑使用。每个逻辑单元有以下特性：

- 一个四口输入的查找表 (LUT)，以实现四种变量的任何功能
- 一个可编程的寄存器
- 可驱动以下的布线连接：
 - 本地
 - 行
 - 列
 - 直连
- 寄存器套包支持
- 寄存器反馈支持

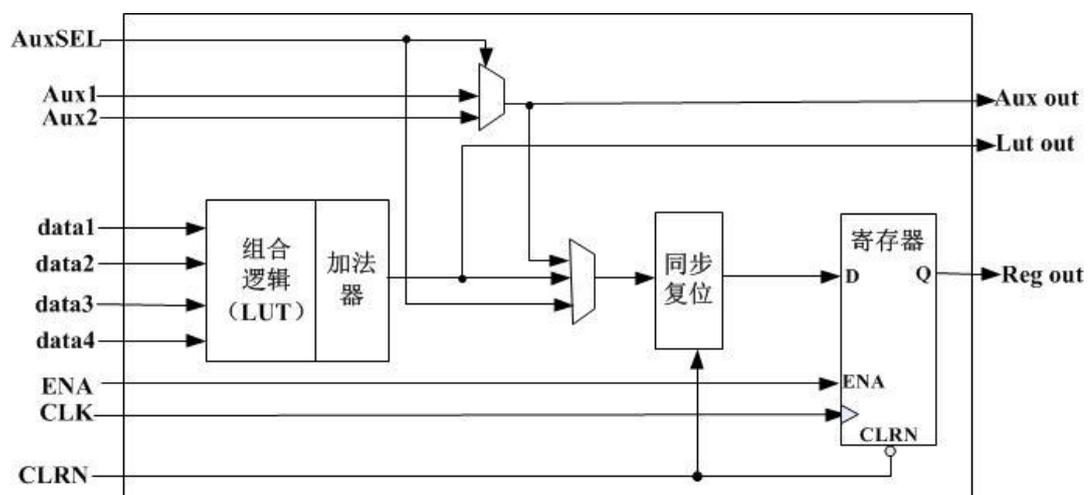


图 2-1 FPGA 逻辑单元

2.1.1 逻辑单元特性

每个逻辑单元均配备可编程的 D 寄存器，每个寄存器上有数据、时钟、时钟使能和复位输入。全局时钟网络、通用 I/O 管脚、任何内部逻辑都可以驱动时钟、时钟使能和复位寄存器控制信号。对于组合功能输出，LUT 输出端可以由旁路寄存器直接驱动到逻辑单元输出端。

每个逻辑单元有三个输出端，分别是：组合逻辑输出、寄存器输出和辅助旁路输出。组合逻辑输出和寄存器输出，能够驱动本地行和列的布线资源。三个输出端，同时并且独立的驱动，允许逻辑单元同时输出组合逻辑、寄存器逻辑和辅助旁路逻辑（这个特性称为寄存器套包）。由于器件可以使用寄存器和组合逻辑在不相关的功能，增加了器件的利用率。

逻辑单元可以同时驱动组合逻辑输出有寄存器和无寄存器的版本。

2.1.2 逻辑单元操作模式

Sealion (海狮) 2000/2000S 系列 FPGA 逻辑单元在以下模式下操作：

- 正常模式
- 算术模式

HqFpga 软件自动为普通功能选择适用的模式，例如计数器、加法器、减法器 and 算术功能。如果需要，您也可以创建指定的特用功能，用于对逻辑单元操作模式的性能进行优化。

2.1.2.1 正常模式

正常模式适用于一般的逻辑运用和组合功能。在正常模式中，来自逻辑阵列模块本地互连的四个数据输入口输入到一个四口输入的 LUT 中（图 2-2）。逻辑单元在正常模式中支持套包寄存器和辅助旁路输出。

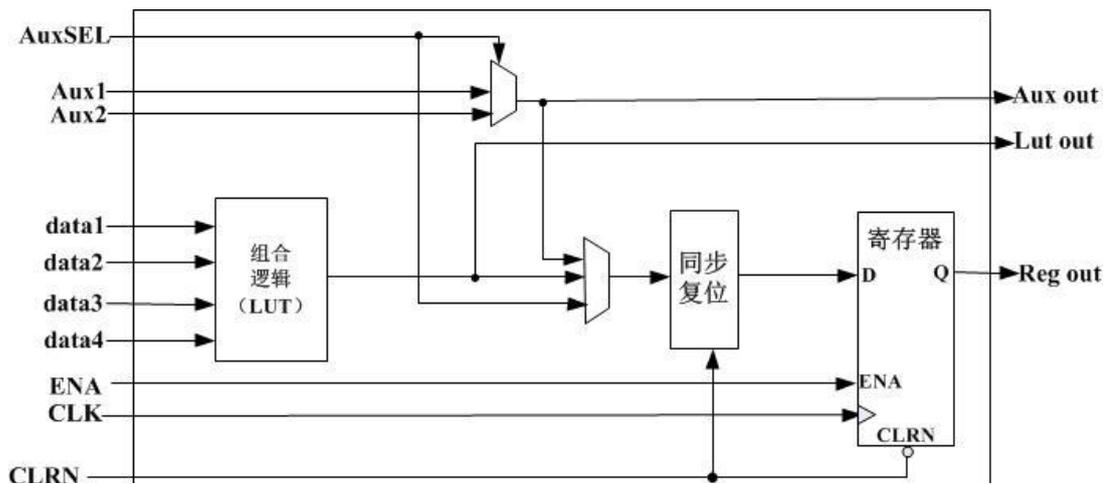


图 2-2 正常模式的逻辑单元

2.1.2.2 算术模式

算术模式可以有效地实现加法器、计数器、累加器和比较器。一个逻辑单元在算术模式中，能够实现一个全加器和基本的进位链(图 2-3)，可以驱动存储与未存储输出的版本。

寄存器套包支持逻辑单元用于算术模式。

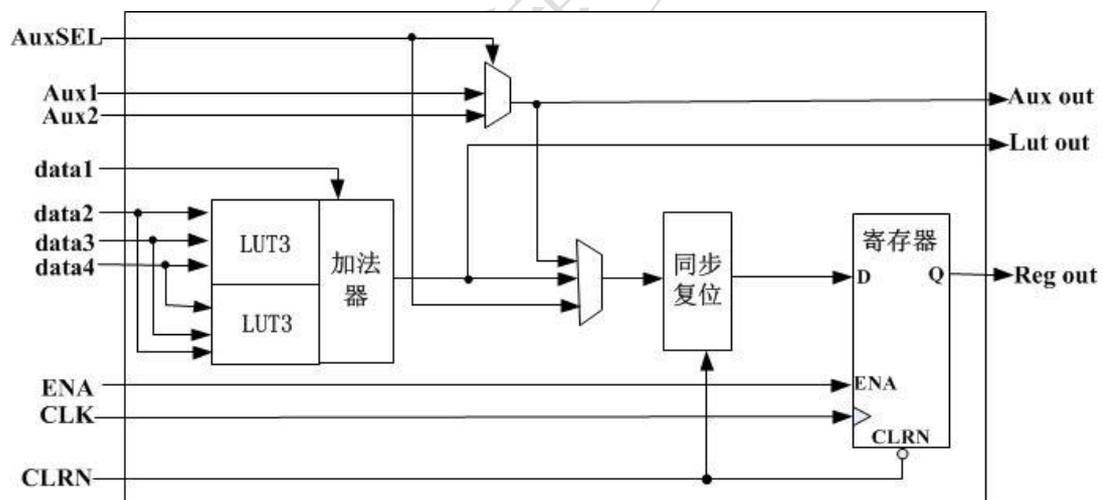


图 2-3 算术模式的逻辑单元

HqFpga 编译器综合工具可以自动创建进位链逻辑，您也可以在设计输入期间手动创建进位链逻辑（参数化功能，自动优化进位链于合适的功能中）。

HqFpga 编译器，能够通过同一列中自动链接逻辑阵列模块，创建长过 8 个逻辑单元的进位链。为了增强布局，一条长进位链通过直接链接互连，实现迅速连接到嵌入式存储器模块或嵌入式乘法器。

例如，如果一个设计有一条长进位链在与一系列嵌入式存储器模块紧挨着，

那么任何逻辑单元输出通过直接链接互连，都可以连到相邻的嵌入式存储器模块上；任何不与嵌入式存储器模块列紧挨的进位链，使用其他的行和列互连以驱动一个嵌入式存储器模块。

2.2 逻辑阵列模块

逻辑阵列模块由逻辑单元组成。每个逻辑阵列模块包括以下特性：

- 8 逻辑单元
- 逻辑阵列模块控制信号
- 逻辑单元进位链
- 寄存器链模块互连

本地互连在同一个逻辑阵列模块的逻辑单元之间传输信号，HqFpga 编译器将相关的逻辑放在同一逻辑阵列模块或相邻的逻辑阵列模块中，允许使用本地和连接以实现性能和面积效率。

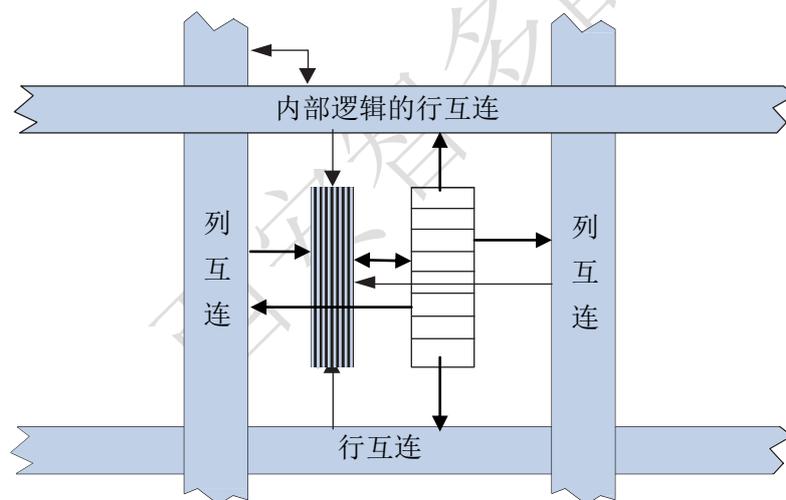


图 2-4 逻辑阵列模块结构

2.2.1 逻辑阵列模块互连

逻辑阵列模块的输入，是由列和行互连以及逻辑单元在相同的逻辑阵列模块中的输出端驱动的。逻辑单元的输出，直接驱动列和行互连。

2.2.2 逻辑阵列模块控制信号

每个逻辑阵列模块，都包含 12 个专用的逻辑单元控制信号。

控制信号包括：

- 四个时钟
- 四个时钟使能
- 四个复位或置位

行互连和列互连，驱动逻辑阵列模块的控制信号。全局时钟和高扇出网路，也可以驱动逻辑阵列模块的控制信号。逻辑阵列模块的控制信号，有互相独立编程的极性选择。

除了逻辑阵列模块的控制信号外，本系列 FPGA 提供一个芯片级复位信号 (G_CLRn)，用于对器件中所有的寄存器重置。在编辑 HqFpga 软件之前，请设置一个选项以控制这个管脚。这个芯片级重置，能够覆盖所有其他的控制信号。

西安智多晶

3 存储器模块

Sealion (海狮) 2000/2000S 系列 FPGA 器件具有嵌入式存储器结构, 满足了 FPGA 设计对片上存储器的需求。嵌入式存储器结构由嵌入式存储器模块组成, 通过对这些嵌入式存储器模块进行配置, 可以实现各种存储器功能, 例如: RAM、移位寄存器、ROM 以及 FIFO 缓冲器。

本章数据手册包含以下几部分内容:

- 概述
- 存储器模式
- 时钟模式
- 设计考量

3.1 概述

嵌入式存储器模块支持以下特性:

- 每模块 8,192 个存储器位(包括奇偶校验位, 每模块共 9,216 位)
- Packed 模式, 该模式下嵌入式存储器模块被分成两个 4.5K 单端口 RAM
- 可变端口配置深度和宽度
- 单端口与伪双端口模式, 支持所有端口宽度
- 真双端口(一个读和一个写, 两个读, 或者两个写)操作
- 字节使能, 实现写入期间的数据输入屏蔽
- 用于每一个端口(端口 A 和 B)的时钟使能控制信号
- 内嵌 FIFO 控制逻辑
- 初始化文件预先加载存储器中的数据

表 3-1 嵌入式存储器特性

特性	属性
单端口	8, 192x1 4, 096x2 2, 048x4 1, 024x9 512x18 256x36
真双端口	8, 192 x1 4, 096 x2 2, 048 x4 1, 024 x9 512 x 18
伪双端口	8, 192 x1 4, 096 x2 2, 048 x4 1, 024 x9 512 x 18 256 x 36
FIFO(注1)	8, 192 x1 4, 096 x2 2, 048 x4 1, 024 x9 512 x 18
奇偶校验位	√
字节使能	√
Packed 模式	√
时钟使能	√
单端口模式	√
伪双端口模式	√
真双端口模式	√
嵌入式移位寄存器模式(注2)	√
ROM 模式	√
FIFO 缓冲器	√
伪双端口混合位宽支持	√
真双端口混合位宽支持(注3)	√
存储器初始化文件	√
混合时钟模式	√
上电条件	输出端清零
寄存器异步清零	仅限输出寄存器
锁存器异步清零	仅限输出锁存器
读或写操作触发	读写: 时钟上升沿
相同端口 read-during-write	输出端设置为 OldData 或者 New Data

【注】

1. 嵌入式存储器内嵌 FIFO 控制逻辑。
2. 需要外部逻辑单元, 以实现控制逻辑。
3. ×32 和×36 的位宽模式不可用。

3.1.1 时钟使能控制信号

时钟使能控制信号，对进入输入与输出寄存器的时钟、以及整个嵌入式存储器模块进行控制。当信号时钟调整为“不使能”状态时，嵌入式存储器模块侦测不到任何的时钟边沿，从而不会执行任何操作。

3.1.2 支持奇偶校验位

通过奇偶校验位以及内部逻辑资源，可以使用奇偶校验检查实现错误检测。

嵌入式存储器模块支持每一个存储字节含有一个奇偶校验位，您可以将该位用作奇偶校验位或者额外的数据位。

实际上，嵌入式存储器模块不执行奇偶校验功能，奇偶校验在 FPGA 的逻辑单元执行。

3.1.3 支持字节使能

嵌入式存储器模块支持字节使能功能。该功能可以屏蔽输入数据，仅写入数据中的指定字节，未被写入的字节保留之前写入的值。

WE 信号以及字节使能 (ByteEn) 信号一同控制 RAM 模块的写操作。当 ByteEn 信号默认为高电平（使能）时，写操作仅由 WE 信号来控制；ByteEn 寄存器不存在清零端口。

当写端口具有 $\times 16$ 、 $\times 18$ 、 $\times 32$ 或 $\times 36$ 位数据位宽时，嵌入式模块将支持字节使能。

字节使能以“独热码”的形式运行，并且 ByteEn 的最低位对应于数据总线的最低字节。例如，若 ByteEn=01，并且在 $\times 18$ 模式下使用一个 RAM 模块，则 Data[8..0] 处于“使能”状态，而 Data[17..9] 处于“不使能”状态；同样，若 ByteEn=11，则 Data[8..0] 以及 Data[17..9] 均处于“使能”状态。（注：字节使能为高电平有效。）

表 3-2 列出了字节选择。

西安智多晶

表 3-2 嵌入式存储器的 ByteEn 模块

ByteEn[3:0]	受影响的字节			
	Data×16	Data×18	Data×32	Data×36
[0]=1	[7..0]	[8..0]	[7..0]	[8..0]
[1]=1	[15..8]	[17..9]	[15..8]	[17..9]
[2]=1	—	—	[23..16]	[26..18]
[3]=1	—	—	[31..24]	[35..27]

注：可能存在字节使能的任意组合。

3.1.4 Packed 模式支持

嵌入式存储器模块支持 packed 模式。在下列条件下，您可以在单一模块中实现两个单端口存储器模块：

- 每一个独立模块的容量均小于或等于嵌入式模块容量的一半，每一个独立模块的最大数据宽度为 18 位宽。
- 每一个单端口存储器模块均被配置成单时钟模式。

3.1.5 混合位宽支持

嵌入式存储器模块支持混合数据位宽。

当使用伪双端口、真双端口、或者 FIFO 模式时，混合位宽支持实现了读写不同的数据位宽到嵌入式存储器模块。

3.1.6 异步清零

嵌入式存储器模块仅支持输出寄存器以及输出锁存器的异步清零操作，不支持输入寄存器的异步清零操作。

当对输出寄存器进行异步清零操作时，异步清零信号即刻对输出寄存器清零，效果立马可见。如果您的 RAM 不使用输出寄存器，那么通过使用输出锁存器异步清零特性，您仍然能够对 RAM 输出端进行清零。

通过以下三种方式，可以对嵌入式模块中的寄存器进行复位：

- 器件上电
- 将 Reset 信号仅用于输出寄存器
- 使用 GReset 选项来进行全器件复位

3.2 存储器模式

嵌入式存储器模块能够在多种操作模式下实现完全同步 SRAM 存储器。该嵌入式存储器模块，不支持异步(未寄存的)存储器输入。

嵌入式存储器模块支持下列模式：

- 单端口
- 伪双端口
- 真双端口
- 移位寄存器
- ROM
- FIFO

端口	描述	激活状态
Clock	时钟	上升沿触发
ClockEn	时钟使能	高电平有效
OClockEn	输出时钟使能	高电平有效
Reset	复位	高电平有效
ByteEn	字节使能	高电平有效
WE	写使能	高电平有效
Address	地址线	—
Data	输入数据	—
Q	输出数据	—
CS	片选信号	高电平有效
AFF	FIFO Almost Full Flag	—
FF	FIFO Full Flag	—
AEF	FIFO Almost Empty Flag	—
EF	FIFO Empty Flag	—
RPCLR	FIFO Read Pointer Reset	高电平有效

3.2.1 单端口模式

单端口模式支持在单一地址上的异时读写操作。图 3-1 显示嵌入式存储器模块的单端口存储器配置。

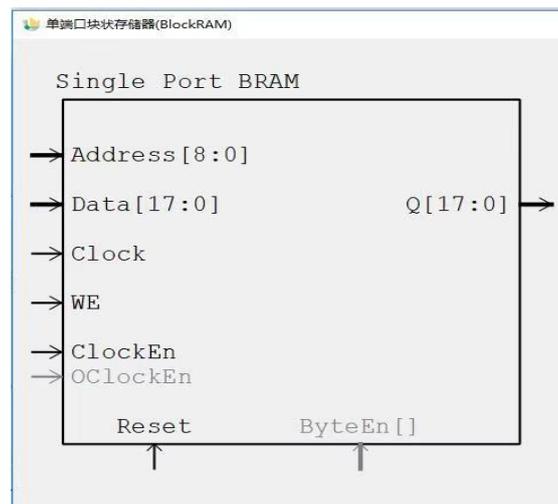


图 3-1 单端口存储器

写操作期间，RAM 输出行为是可以配置的。如果在激活 read-during-write 模式，则 RAM 输出端会显示相应地址上正在写入的新数据，或者原有的旧数据。如果在未激活 read-during-write 模式，那么 RAM 输出端将保留它们在最近的读操作保持的值。

要选择所需的行为，需要在 HqFpga 软件的 IP-Creater 中，将 Read-During-Write 选项设置成 NewData 或者 OldData。

单端口模式下，嵌入式模块的端口位宽配置如下所示：

- 8192×1
- 4096×2
- 2048×4
- 1024×8
- 1024×9
- 512×16
- 512×18
- 256×32
- 256×36

3.2.2 伪双端口模式

伪双端口模式，支持到不同位置的同时读写操作。A 侧是写端口，B 侧是读

端口。图 3-2 显示了伪双端口存储器配置。

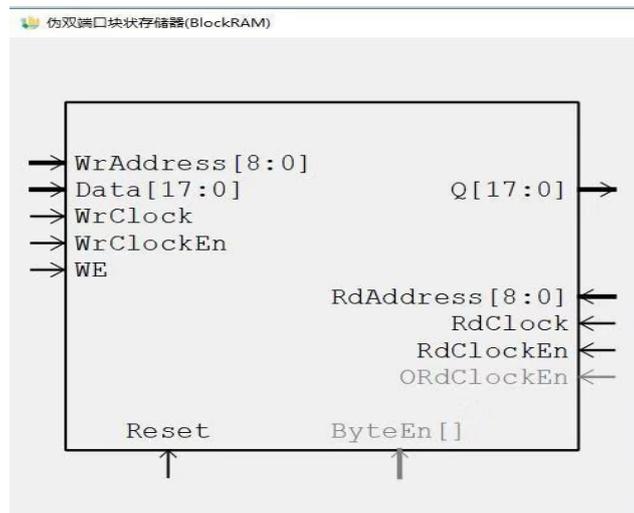


图 3-2 伪双端口存储器

表 3-3 嵌入式存储器混合位宽配置（伪双端口模式）

读端口	写端口								
	8192×1	4096×2	2048×4	1024×8	512×16	256×32	1024×9	512×18	256×36
8192×1	√	√	√	√	√	√	—	—	—
4096×2	√	√	√	√	√	√	—	—	—
2048×4	√	√	√	√	√	√	—	—	—
1024×8	√	√	√	√	√	√	—	—	—
512×16	√	√	√	√	√	√	—	—	—
256×32	√	√	√	√	√	√	—	—	—
1024×9	—	—	—	—	—	—	√	√	√
512×18	—	—	—	—	—	—	√	√	√
256×36	—	—	—	—	—	—	√	√	√

在伪双端口模式中，嵌入式存储器模块支持独立的读和写操作。在没有进行读操作的时候，将 RdClockEn 保持在低电平(无效状态)，从而降低功耗。伪双端口模式不支持 read-during-write 模式。

3.2.3 真双端口模式

真双端口模式，支持两端口操作的任何组合：在两个不同时钟频率上的两个读操作、两个写操作，或者一个读操作和一个写操作。图 3-3 真双端口存储器显示了真双端口存储器配置。

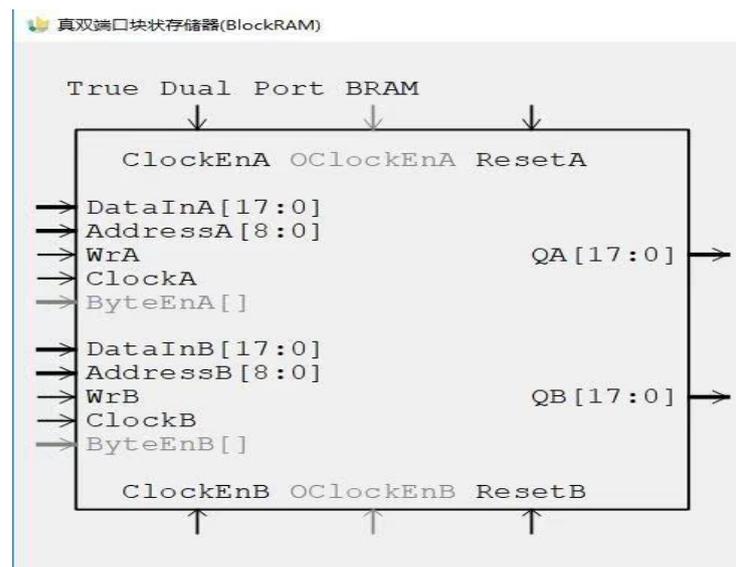


图 3-3 真双端口存储器

真双端口模式下，嵌入式模块的最大位宽配置为 512×16 位(带有奇偶校验的 18 位)。表 3-4 显示了可能的嵌入式模块混合端口位宽配置。

表 3-4 嵌入式存储器混合位宽配置 (真双端口模式)

读端口	写端口						
	8192×1	4096×2	2048×4	1024×8	512×16	1024×9	512×18
8192×1	√	√	√	√	√	—	—
4096×2	√	√	√	√	√	—	—
2048×4	√	√	√	√	√	—	—
1024×8	√	√	√	√	√	—	—
512×16	√	√	√	√	√	—	—
1024×9	—	—	—	—	—	√	√
512×18	—	—	—	—	—	√	√

在真双端口模式中，写操作期间，RAM 输出行为是可以配置的。

同一端口支持 read-during-write 模式。若激活 read-during-write 模式，则 RAM 输出端会显示相应地址上正在写入的新数据，或者原有的旧数据；如未激活 read-during-write 模式，那么 RAM 输出端将保留它们在最近的读操作保持的值。

混合端口不支持 read-during-write 模式。一端口写入，同时另一端口读出同一地址时，如果两个端口的时钟互为异步，测读出的数据可能是写入的新数据，或者是原有的旧数据，或者是 don't care。

在真双端口模式中，您可以从端口 A 或者端口 B 随时访问存储器位置。然

而，当从两个端口同时访问同一存储器位置时，您一定要避免可能发生的写冲突。当您试图从两个端口同时写入到相同地址时，会出现写冲突。这会导致在该地址存储未知数据。

嵌入式存储模块中没有集成冲突解决电路，您必须处理 RAM 模块外部的地址冲突。

3.2.4 移位寄存器模式

嵌入式存储器模块，能够通过使用的移位寄存器，实现数字信号（DSP）应用。

例如：有限脉冲响应（FIR）滤波器、伪随机数生成器、多通道滤波，以及自相关和互相关函数。这些以及其它 DSP 应用都要求本地数据存储，通常通过标准触发器来实现，这些标准触发器迅速消耗大型移位寄存器的很多逻辑单元。更有效的方法是将嵌入式存储器用作移位寄存器模块，这样可以节省很多逻辑单元以及布线资源。

一个 $(w \times m \times n)$ 移位寄存器的容量是由输入数据宽度 (w) 、抽头的长度 (m) ，以及抽头的数量 (n) 来决定，并且必须小于或等于最大存储器位数，也就是 9,216 位。另外， $(w \times n)$ 的容量必须小于或等于模块的最大宽度，也就是 36 位。如果需要容量更大的移位寄存器，则需要将嵌入式存储器模块串联起来使用。

图 3-4 显示了移位寄存器模式中的嵌入式存储器模块。

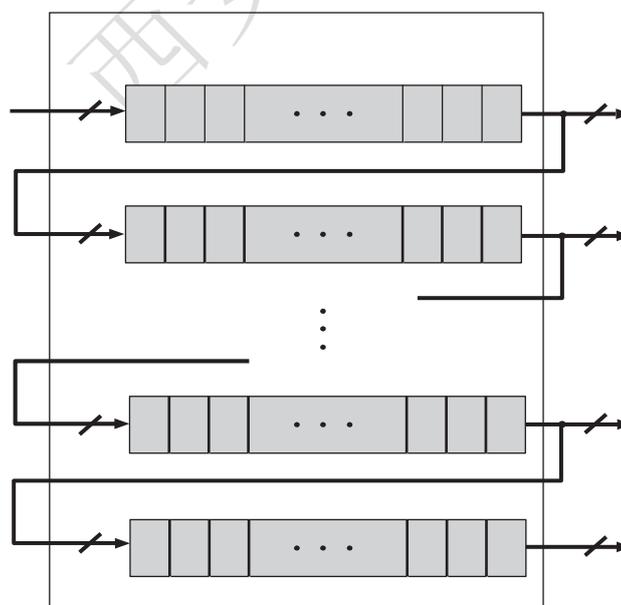


图 3-4 嵌入式存储器移位寄存器模式配置

3.2.5 ROM 模式

嵌入式存储器模块支持 ROM 模式。HqFpga 产生初始化文件，对这些模块的 ROM 中的数据进行初始化。ROM 的地址线是寄存的，输出端可以被寄存，也可以不被寄存。ROM 的读操作与单端口 RAM 配置中的读操作相同。

3.2.6 FIFO 缓冲器模式

嵌入式存储器模块支持单时钟或者双时钟 FIFO 缓冲器。当从一个时钟域到另一个时钟域传输数据时，会用到双时钟 FIFO 缓冲器。

FIFO 有写端口和读端口，两者独立操作。FIFO 的写端口有 Data、WE、WrClock、Reset 等信号；读端口有 Q、RE 和 RdClock 等信号。FIFO 逻辑产生 Almost Full Flag、Full Flag、Almost Empty Flag 和 Empty Flag。Full、Almost Full 和写时钟同步；Almost Empty、Empty 和读时钟同步。表 3-5 是各个 flag 可配置的范围。

表 3-5 可编程 FIFO 配置范围

Flag 名称	可配置范围
Full (FF)	1 to max (up to 2N-1)
Almost Full (AF)	1 to Full-1
Almost Empty (AE)	1 to Full-1
Emptv (EF)	0

FIFO 状态机支持两种复位信号：Reset 和 RPRreset。Reset 信号整体复位 FIFO 逻辑，清零写地址、读地址和复位 4 个 FLAG。RPRreset 仅仅清零读地址，FIFO 可以复现所有已写入的数据。操作 RPRreset 必须注意读和写的初始状态以及容量顺序。

3.3 时钟模式

嵌入式存储器模块支持下列时钟模式：

- Independent (独立)
- Readorwrite (读或写)
- Single-clock (单时钟)

当使用读或写时钟模式时，如果在同一地址位置执行同时读或写操作，则输出读数据将是未知的。如果要求输出数据是一个可预测值，则需要使用单时钟模式，并且在 HqFpga 软件编译器中选择相应的 read-during-write 行为。

违反存储器模块输入寄存器上建立及保持时间将可能导致存储器数据的损坏，这种情况会发生在读写操作期间。

异步清零功能仅在输出寄存器，以及输出锁存器中可用。

表 3-6 列出了时钟模式 VS 存储器模式所支持的矩阵。

表 3-6 存储器时钟模式

时钟模式	真双端口模式	伪双端口模式	单端口模式	ROM 模式	FIFO 模式
独立	√	—	—	—	—
读或写	—	√	—	—	√
单时钟	√	√	√	√	√

3.3.1 独立时钟模式

嵌入式存储器模块能够实现真双端口存储器的独立时钟模式。在这一模式中，独立的时钟可用于每一个不同的端口（端口 A 与端口 B）。clockA 控制端口 A 侧上的所有寄存器，而 clockB 则控制端口 B 侧上的所有寄存器。另外，每个端口均支持端口 A 和端口 B 寄存器的独立时钟使能。

3.3.2 读或写时钟模式

嵌入式存储器模块能够实现用于 FIFO 以及伪双端口存储器的读或写时钟模式。在这一模式中，写时钟控制数据输入、写地址寄存器。同样的，读时钟控制数据输出、读地址和寄存器。嵌入式存储器模块支持独立的时钟使能，以用于读时钟以及写时钟。

当使用读或写模式时，如果在同一地址执行同时读或写操作，则输出读数据将是未知的。如果要求输出数据是一个可预测值，则需要使用单时钟模式，并且在 HqFpga 软件中选择相应的 read-during-write 行为。

3.3.3 单时钟模式

嵌入式存储器模块能够实现单时钟模式，以用于 FIFO、ROM、真双端口、伪双端口以及单端口存储器。在这一模式中，您可以通过单时钟以及时钟使能，来控制嵌入式存储器模块中的所有寄存器。

3.4 设计考量

本章节对采用嵌入式存储器模块进行设计时，需要考虑的因素作了描述。

3.4.1 冲突解决

当真双端口模式下使用嵌入式存储器模块时，在同一地址尝试两个写操作是可行的。由于嵌入式存储模块中没有集成冲突解决电路，因此会产生正在写入该地址的未知数据。所以，您必须在存储模块外部实现冲突解决逻辑。

3.4.2 上电条件与存储器初始化

不管输出寄存器被使用还是被旁路，嵌入式存储器模块输出端都会上电清零。通过使用 .ram 文件，所有嵌入式存储模块均支持初始化。您可以在 HqFpga 中创建 .ram 文件，并在设计中实例化存储器时通过 IP Creator 来指定它们的使用。即使存储器是预初始化的 (例如，使用一个 .ram 文件)，它也会通过输出端清零进行上电。只有上电后的后续读操作会输出预初始化的值。

3.4.3 功耗管理

嵌入式存储器模块时钟使能支持对每一个嵌入式存储器模块时钟的控制，以降低 AC 功耗。需要使用 CS 信号来确保读操作仅在必要时出现。如果您的设计不要求 read-during-write, 那么可以降低写操作的功耗。HqFpga 软件会自动对未使用的嵌入式存储器模块进行断电，从而降低静态功耗。

4 嵌入式乘法器

嵌入式乘法器结合了片上资源与外部接口，这有助于提高性能、减少系统成本，以及降低数字信号处理 (DSP) 系统的功耗。本系列 FPGA 器件本身，或者作为 DSP 器件的协处理器，都可用于提高 DSP 系统的性价比。

嵌入式乘法器主要针对那些受益于大量丰富的并行处理资源的应用进行了重点优化，其中包括：视频与图像处理、应用在无线通信系统的中频 (IF) 调制解调器、以及多通道通信与视频系统。

本章节包含以下几部分内容：

- 嵌入式乘法器模块概述
- 体系结构
- 操作模式

4.1 嵌入式乘法器模块概述

嵌入式乘法器可以配置成一个 18×18 乘法器，或者配置成两个 9×9 乘法器。对于那些大于 18×18 的乘法运算，HqFpga 软件会将多个嵌入式乘法器模块级联在一起。虽然没有乘法器数据位宽的限制，但数据位宽越大，乘法运算就会越慢。

表 4-1 列出了每一个嵌入式乘法器的数量以及乘法器模式。

表 4-1 嵌入式乘法器数量

器件型号	嵌入式乘法器	9×9 乘法器 (注 1)	18×18 乘法器 (注)
SL2-5	0	0	0
SL2-7	16	32	16
SL2-12	20	40	20
SL2S-12	20	40	20
SL2-18	24	48	24
SL2-25	32	64	32
SL2S-25	32	64	32

注：这一列显示了每一个器件中 9×9 或者 18×18 乘法器的数量。

除了嵌入式乘法器外，通过将嵌入式存储器模块用作查找列表，也可以实现软乘法器。针对低成本、高性能的 DSP 应用，实现了可变深度与宽度的高性能软乘法器。软乘法器的可用性，增加了器件中可用乘法器的数量。

4.2 体系结构

每个嵌入式乘法器均由以下几个单元组成：

- 乘法器级
- 输入与输出寄存器
- 输入与输出接口

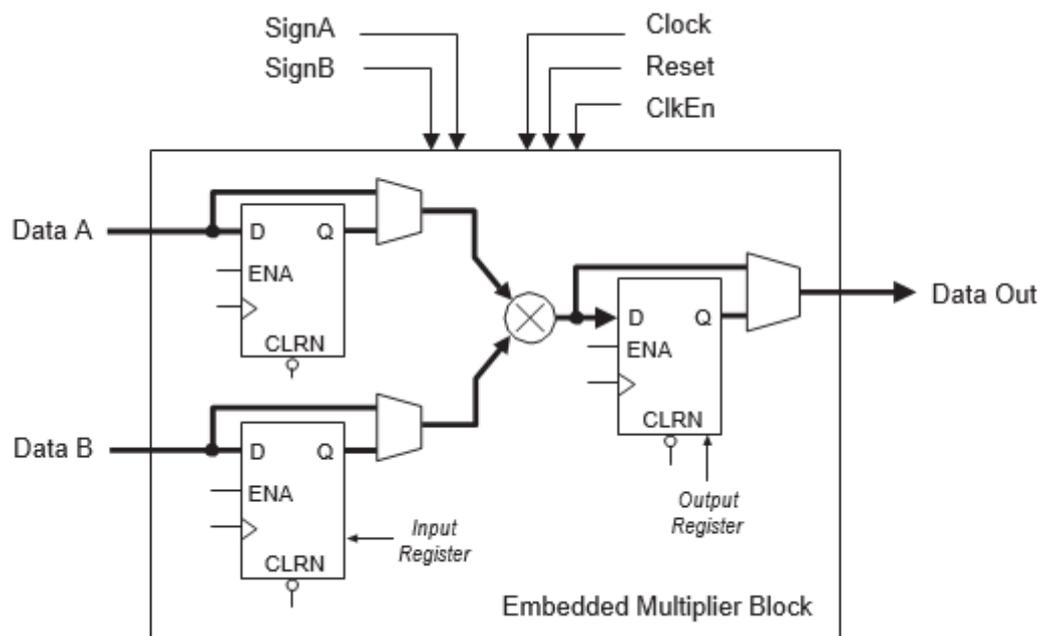


图 4-1 乘法器模块的结构

4.2.1 输入寄存器

根据乘法器的操作模式，您可以将每个乘法器输入信号连接到输入寄存器，或直接以 9bit 或 18bit 的形式连接到内部乘法器。您可以单独地设置乘法器的每个输入是否使用输入寄存器。例如，将乘法器 DataA 信号连接到输入寄存器，并且将 DataB 信号直接连接到内部乘法器。

下列控制信号可用于嵌入式乘法器中的每一个输入寄存器：

- 时钟
- 时钟使能
- 异步清零同一个嵌入式乘法器中的所有输入与输出寄存器，均由同一时钟信号、时钟使能信号以及异步清零信号驱动。

4.2.2 乘法器级

嵌入式乘法器模块的乘法器级，支持 9×9 或者 18×18 乘法器，并支持这些配置之间的其它乘法器。根据乘法器的数据宽度或者操作模式，单一嵌入式乘法器能够同时执行一个或者两个乘法运算。关于乘法器的相关信息，请参考第 4.3 节的“操作模式”。

乘法器的每一个操作数，都是一个唯一的有符号或者无符号数。SignA 与 SignB 信号控制乘法器的输入，并决定值是有符号的还是无符号的。如果 SignA 信号为高电平，则 DataA 操作数是一个有符号数值；反之，DataA 操作数便是一个无符号数值。

表 4-2 列出了不同符号类型的操作数的乘积结果对应的符号类型。如果任何一个操作数为有符号数，则乘积的结果为有符号数。

表 4-2 乘法器符号表示

DataA		DataB		结果
SignA 值	逻辑电平	SignB 值	逻辑电平	
无符号数	低	无符号数	低	无符号数
无符号数	低	有符号数	高	有符号数
有符号数	高	无符号数	低	有符号数
有符号数	高	有符号数	高	有符号数

每一个嵌入式乘法器模块，只有一个 SignA 信号和一个 SignB 信号，用于控制模块输入数据的符号表示。如果嵌入式乘法器有两个 9×9 乘法器，那么这两个乘法器的 DataA 输入与 DataB 输入将分别共享同一个 SignA 信号和同一个 SignB 信号。

当 SignA 与 SignB 信号未使用时，HqFpga 软件会将乘法器默认设置成执行无符号乘法运算。

4.2.3 输出寄存器

根据乘法器的操作模式，您可以用 18bit 或 36bit 的形式来使用输出寄存器对嵌入式乘法器的输出进行寄存。下面的控制信号可用于嵌入式乘法器中的每一个输出寄存器：

- 时钟
- 时钟使能
- 异步清零同一个嵌入式乘法器中的所有输入与输出寄存器，均由同一时钟信号、时钟使能信号以及异步清零信号驱动。

4.3 操作模式

根据不同的应用需要，您可以选择如下两种的乘法器工作模式的一种：

- 一个 18×18 乘法器
- 最多两个 9×9 独立的乘法器

通过使用 HqFpga 器件的嵌入式乘法器，可以实现乘法加法器和乘法累加器功能，这一功能的乘法器部分由嵌入式乘法器来实现，而加法器或者累加器功能则在逻辑单元中实现。

4.3.1 18 位乘法器

通过配置每一个嵌入式乘法器，来支持 10 到 18 位输入位宽的单一 18×18 乘法器。图 4-2 显示了配置后的嵌入式乘法器，以支持一个 18 位乘法器。

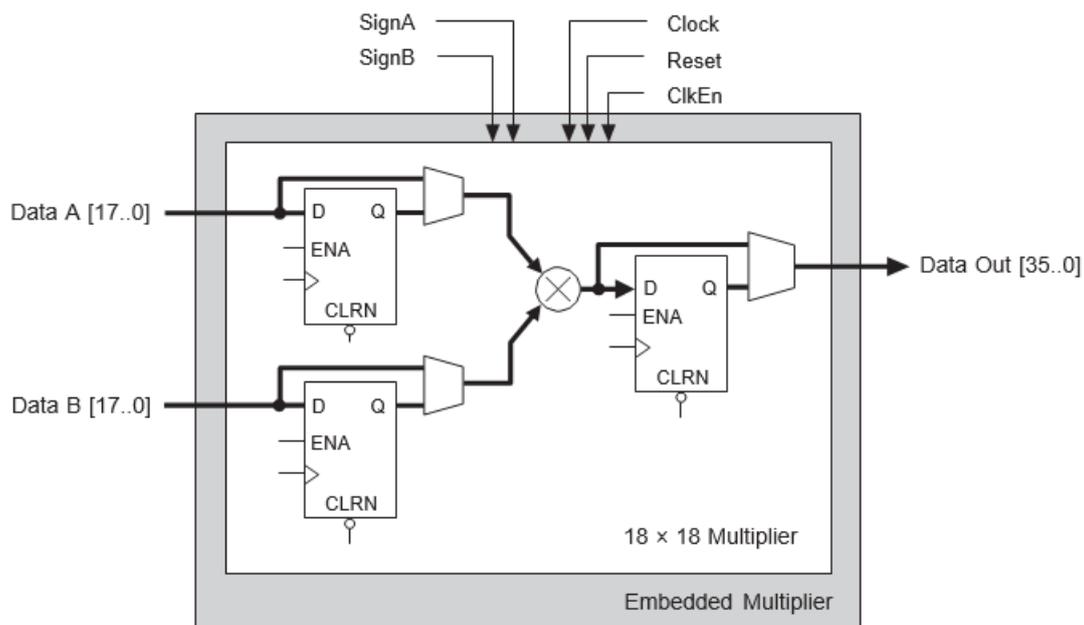


图 4-2 18 位乘法器模式

所有的 18 位乘法器输入数据与结果，均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数或者两者的组合。

4.3.2 9 位乘法器

通过配置每一个嵌入式乘法器，以支持最多 9 位输入位宽的两个 9×9 乘法器。图 4-3 显示了配置后的嵌入式乘法器，以支持两个 9 位乘法器。

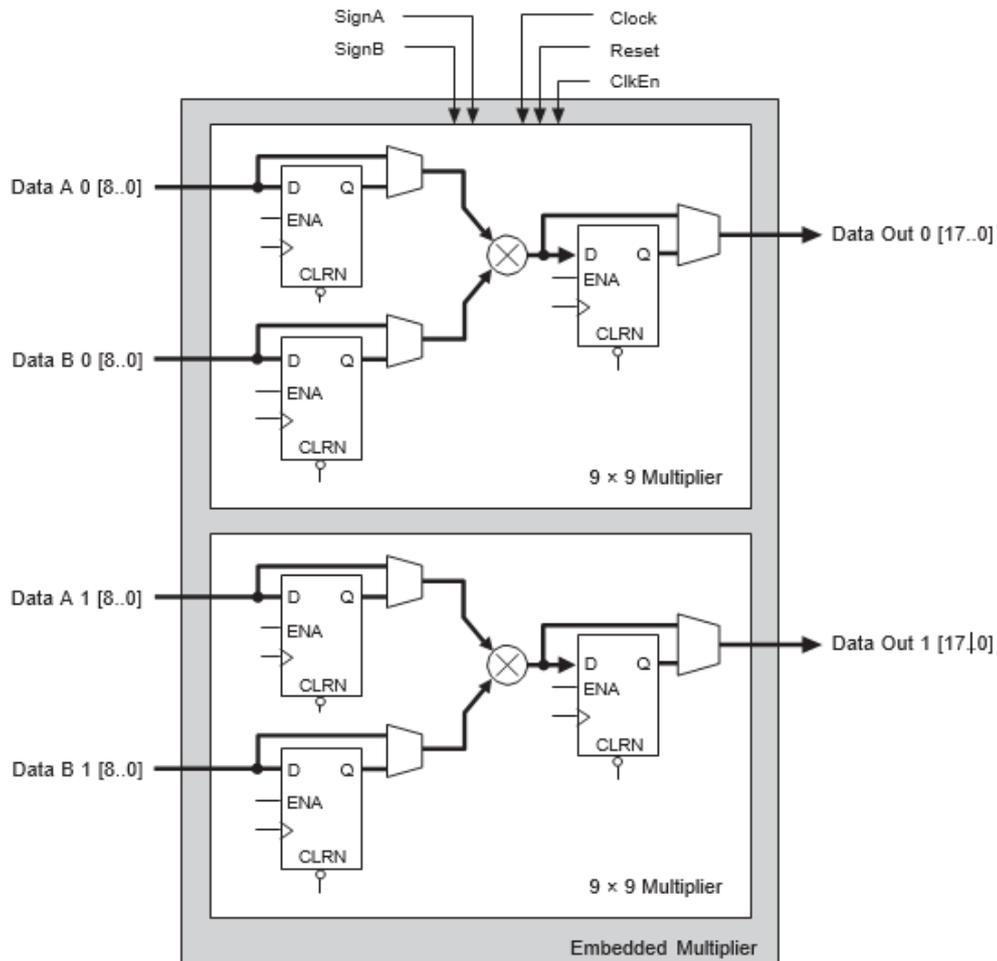


图 4-3 9 位乘法器模式

所有的 9 位乘法器输入数据与结果，均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数或者两者的组合。同一嵌入式乘法器模块中的两个 9×9 乘法器，共享同一个 SignA 和 SignB 信号。因此，用于驱动同一嵌入式乘法器的所有 DataA 输入数据必须要有相同的符号表示。同样，用于驱动同一嵌入式乘法器的所有 DataB 输入数据也必须要有的符号表示。

5 时钟网络与 PLL

本章节介绍了 Sealion (海狮) 2000/2000S 系列 FPGA 器件中, 具有高级特性的层次时钟网络与锁相环(PLL)。HqFpga 软件, 在未使用外部器件情况下使能 PLL 及其功能。

本章节包含以下几部分内容:

- 时钟网络
- 本系列 FPGA 器件中的 PLL
- 本系列 FPGA 器件中 PLL 硬件概述
- 硬件特性

5.1 时钟网络

本系列FPGA中, 12K逻辑资源的FPGA器件包含了8个全局时钟(GCLK)网络, 和8个高扇出网路; 25K逻辑资源的FPGA器件包含了16个全局时钟(GCLK)网络, 其中8个全局时钟可以复用为高扇出网路。

时钟资源还包括4个输入输出时钟网络、两个输入输出时钟和器件的上沿 I/O 端口配合。另外, 两个输入输出时钟和器件的下沿 I/O 端口配合。

提供了多达12个专用时钟管脚(CLK[11..0]), 以用于驱动全局时钟网络(GCLK)、高扇出网络和输入输出时钟网络。FPGA器件的左右侧支持四个专用时钟管脚, 在顶端、底部支持两个专用时钟管脚。

5.1.1 全局时钟网络

全局时钟网络(GCLK)驱动整个器件, 并对器件各象限提供时钟。器件中的所有资源(I/O单元、逻辑阵列模块、专用乘法器模块以及嵌入式存储器模块)都能够将全局时钟网络(GCLK)用作时钟资源。

5.1.2 全局时钟(GCLK)网络时钟源

Sealion (海狮) 2000/2000S 系列 FPGA 器件全局时钟网络的时钟源从以下输入选择:

- 根据指定的12个时钟输入管脚

- PLL 锁相环输出
- 内部逻辑的信号
- 输入输出时钟分频

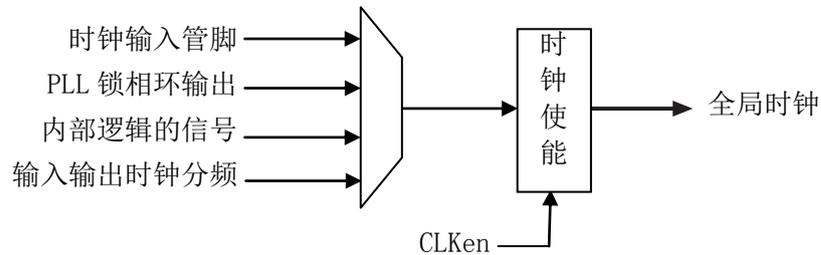


图 5-1 全局时钟的来源

部分全局时钟网络可以在两个时钟源实时切换。时钟使能和时钟切换电路内部有同步电路，输出的时钟不带毛刺。

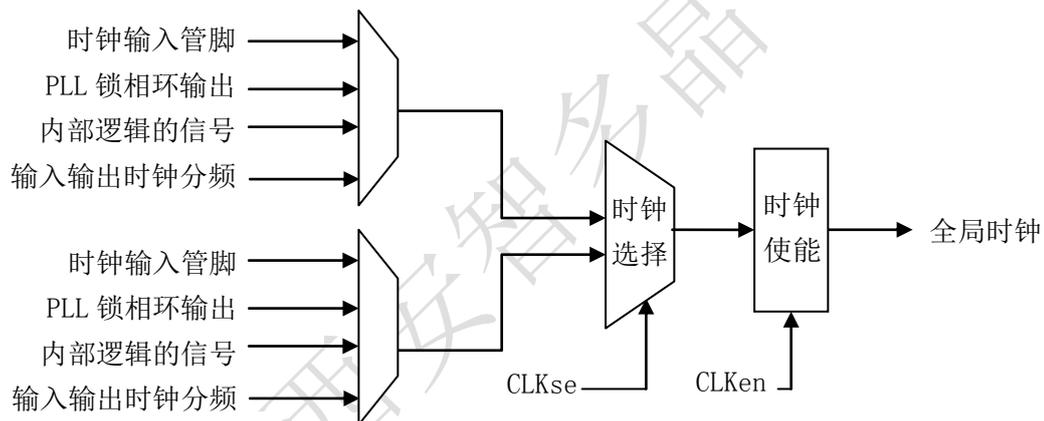


图 5-2 全局时钟选择

5.1.3 高扇出网络

高扇出网络驱动整个器件，并对器件各象限提供时钟和控制信号。

例如：由外部管脚驱动的时钟使能及清零信号。内部逻辑也能够驱动高扇出网络，以用于内部生成的异步清零、时钟使能，或者其它具有高扇出的控制信号。

5.1.4 高扇出网络源

高扇出网络的时钟源中从以下输入选择：

- 根据指定的 12 个时钟输入管脚

■ 内部逻辑的信号

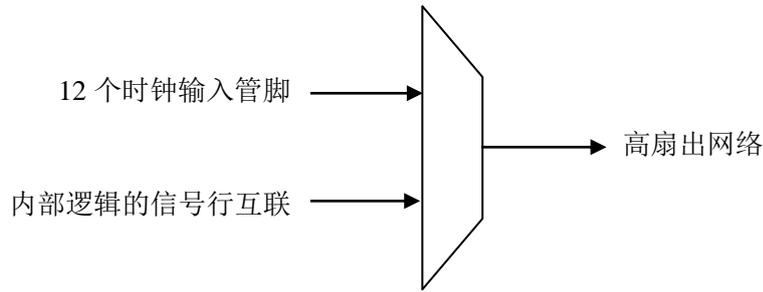


图 5-3 高扇出网络的时钟源

专用时钟管脚，不但可以用来驱动 全局时钟网络（GCLK）和高扇出网路，还可以将这些管脚用作通用输入管脚来驱动逻辑阵列。

5.1.5 GCLK 网络使能

通过使用静态以及动态方法，能够驱动本系列 FPGA 器件的 GCLK 使能状态。在静态方法中，在 HqFpga 生成的配置文件中对配置位进行设置，这将自动关闭未使用的 GCLK 的使能信号。使能信号也可以是从内部逻辑驱动，动态地对时钟进行“使能”或“禁用”操作。这一特性，实现了内部逻辑对本系列 FPGA 器件中的 GCLK 进行时钟“使能”或“禁用”的控制。

当一个时钟网络被禁用，所有由时钟网络驱动的逻辑将处于关闭状态，从而降低了器件的总体功耗。这一功能独立于 PLL，并且被直接应用到时钟网络。

5.1.6 CLKen 信号

本系列 FPGA 器件在 GCLK 网络级上提供了对 CLKen 信号的支持，这使您能够随时将时钟使能。另外，如果 PLL 反馈回路中有 CLKen 的时钟使能，必须注意当 CLKen 不使能 GCLK 时，PLL 反馈回路被中断，因此 PLL 会跳开锁定状态。

图 5-4 显示了如何通过单一寄存器来实现 CLKen 信号。

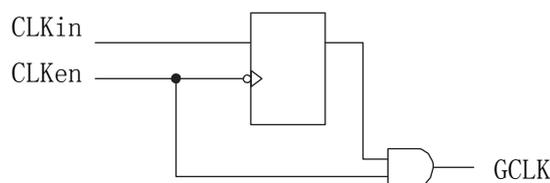


图 5-4 CLKen 信号的实现

图 5-5 显示了一个时钟输出使能的波形实例。在时钟 (CLKin) 的下降沿对 CLKen 信号进行采样。这一特性适用于那些对低功耗与睡眠模式有要求的应用。

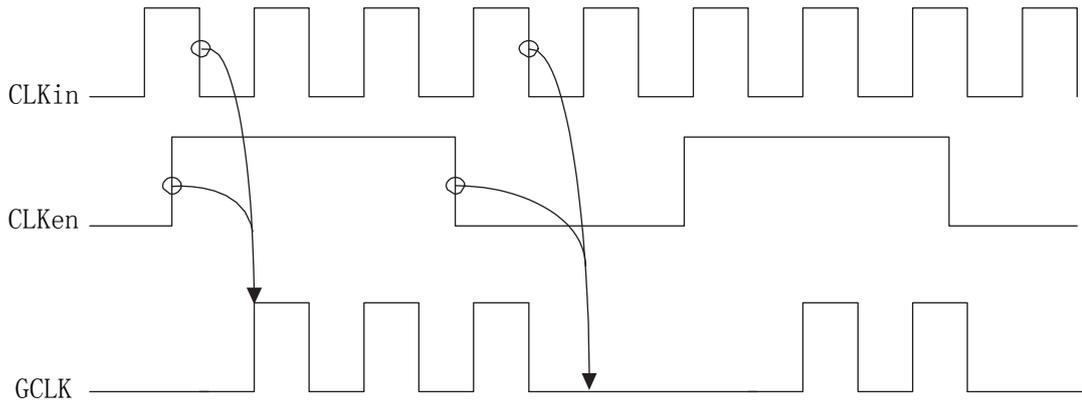


图 5-5 CLKen 信号的实现：输出使能

5.2 PLL

本系列 FPGA 器件包含两个通用 PLL。为器件时钟管理、外部系统时钟管理以及高速 I/O 接口，提供了可靠的时钟管理与综合。

表 5-1 PLL 特性

硬件特性	可用性
C(输出计数器)	5
M, N, C 计数器容量	1 到 128
PLL 级联	√
相移分辨率	150-300ps 增量(注)
可编程占空比	√
输出计数器级联	√
失锁检测	√

【注】 最小相移为电压控制振荡器 (VCO) 周期除以 8。如果以度为单位增加，Sealion (海狮) 2000/2000S 系列 FPGA 器件的所有输出频率至少可以以 45° 增加。更小的增加度数有可能受到频率和分频系数的限制。

5.3 PLL 硬件概述

本章节对 PLL 的硬件进行了概述，图 5-6 显示了本系列 FPGA 器件中 PLL 的主组件的简化结构图。

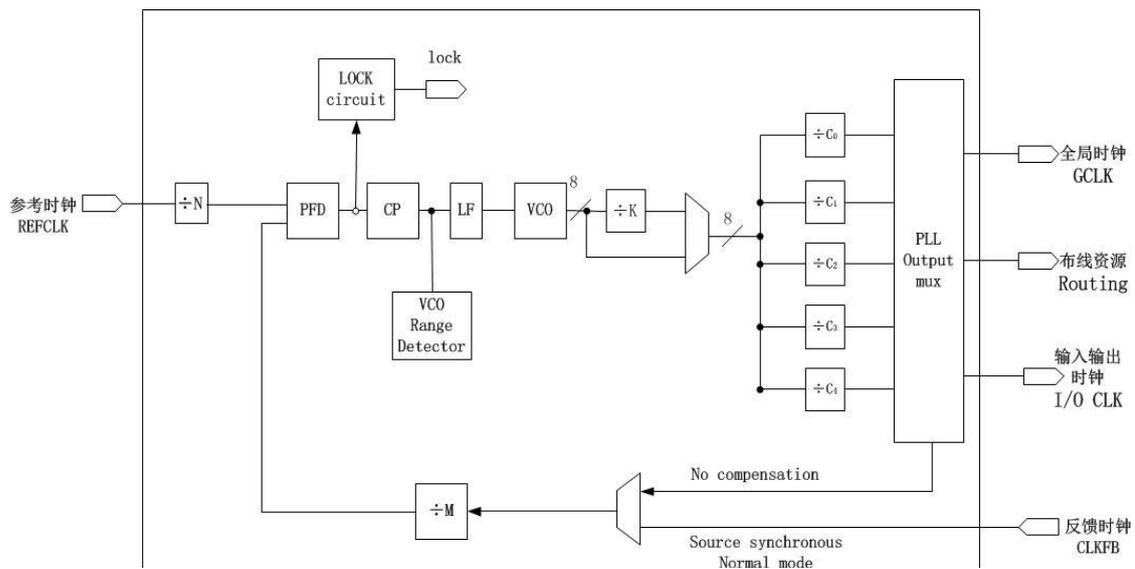


图 5-6 PLL 结构图

PLL 可以通过 GCLK 驱动任意 I/O 管脚做时钟输出，不需要使用特定的外部时钟输出管脚。

5.4 硬件特性

本系列 FPGA 器件中，PLL 支持通用时钟管理的几个特性。这一部分介绍了时钟的乘法与除法的实现、相移的实现以及可编程占空比。

5.4.1 时钟的乘法与除法

本系列 FPGA 器件中，PLL 均采用 M/N（后缩放计数器），缩放因子为 PLL 输出端口提供时钟合成输出。输入时钟由预缩放因子 N 分频，然后乘以反馈因子 M。控制环路，驱动 VCO 以匹配 $f_{IN}(M/N)$ 。每一个输出端口，均有一个唯一的后缩放计数器，对高频 VCO 进行分频。对于不同频率的多个 PLL 输出，VCO 值是输出频率的最小公倍数，以满足其频率规格。

例如，如果一个 PLL 所要求的输出频率是 33 和 66MHz，那么 HqFpga 软件会将 VCO 设置为 660MHz（33 和 66MHz 在 VCO 频率范围内的最小公倍数）。然后，后放大计数器会降低每个输出端口的 VCO 频率。

每一个 PLL 上，均有一个预缩放计数器 N 和一个乘法计数器 M，范围从 1 到 40。由于计数器 N 仅用于计算分频，因此该计数器不使用占空比控制。此外，每个 PLL 上有五个用于驱动 GCLK 或外部时钟输出的通用后缩放计数器。这些后缩放计数器的范围从 1 到 128，并具有 50% 的占空比设置。

HqFpga 软件，会根据输入到输入频率的乘法和除法值，来自动选择相应的

缩放因子。

5.4.2 后缩放计数器的级联

PLL 支持后缩放计数器的级联，以生成大于 512 的计数器。这是通过将一个 C 计数器的输出送至下一个 C 计数器的输入来实现的，如图 5-7 所示。

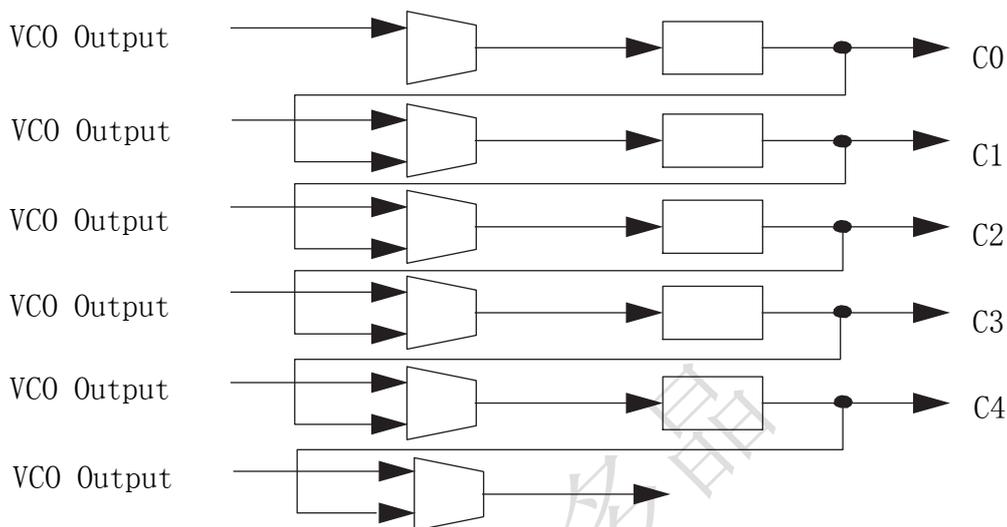


图 5-7 计数器的级联

当通过级联计数器来实现高频 VCO 时钟的更大分频时，级联的计数器作为单个计数器运行，并具有单个计数器设置的乘积。

例如，如果 $C0=4$ 和 $C1=2$ ，则级联的值是 $C0 \times C1 = 8$ 。

后缩放计数器的级联由 HqFpga 软件 software 在配置文件进行自动配置。

6 I/O 特性

本章节介绍 I/O 与高速 I/O 的性能和特性。

I/O 功能是由许多低成本应用中的多样化 I/O 标准所驱动的，大幅度提高了 I/O 的性能要求，可以轻松、灵活地容纳您的主模块设计。

I/O 功能齐全、使用灵活。提供了真差分输入缓冲器片上电阻 (OCT) 的支持，消除了许多应用中所需的外部电阻，例如显示系统接口。

高速差分 I/O 标准在高速接口中已经很普遍，这是由于它们在单端 I/O 标准中具有显著的优势。Sealion (海狮) 2000/2000S 系列 FPGA 器件能够支持 LVDS、BLVDS、MLVDS、RSDS、LVPECL、mini-LVDS 等。

HqFpga 软件提供具有强大的管脚计划功能的解决方案。实现在您得到设计文件之前，对 I/O 系统设计的计划和优化。

这一章节包括以下几部分内容：

- I/O 单元
- I/O 单元特性
- I/O 标准
- I/O 模块
- 高速 I/O 接口
- 高速 I/O 标准支持
- MIPI-DPHY 支持 (5K 器件)

6.1 I/O 单元

I/O 单元包含一个双向 I/O 缓冲器和三个寄存器；用以寄存输入、输出、输出使能信号；完成嵌入式双向单沿数据速率的传送。I/O 管脚支持各种单端和差分 I/O 标准。

I/O 单元包含一个输入寄存器、一个输出寄存器和一个输出使能 (OE) 寄存器。您可以使用输入寄存器实现较快的建立时间，使用输出寄存器实现快速的输出 (clock-to-output) 时间。

此外，可以使用 OE 寄存器于快速时钟至输出 (clock-to-output) 使能时间；可以使用 I/O 单元用于输入、输出或双向数据路径。

图 6-1 显示了 I/O 单元结构为单沿数据 (SDR) 的配置。

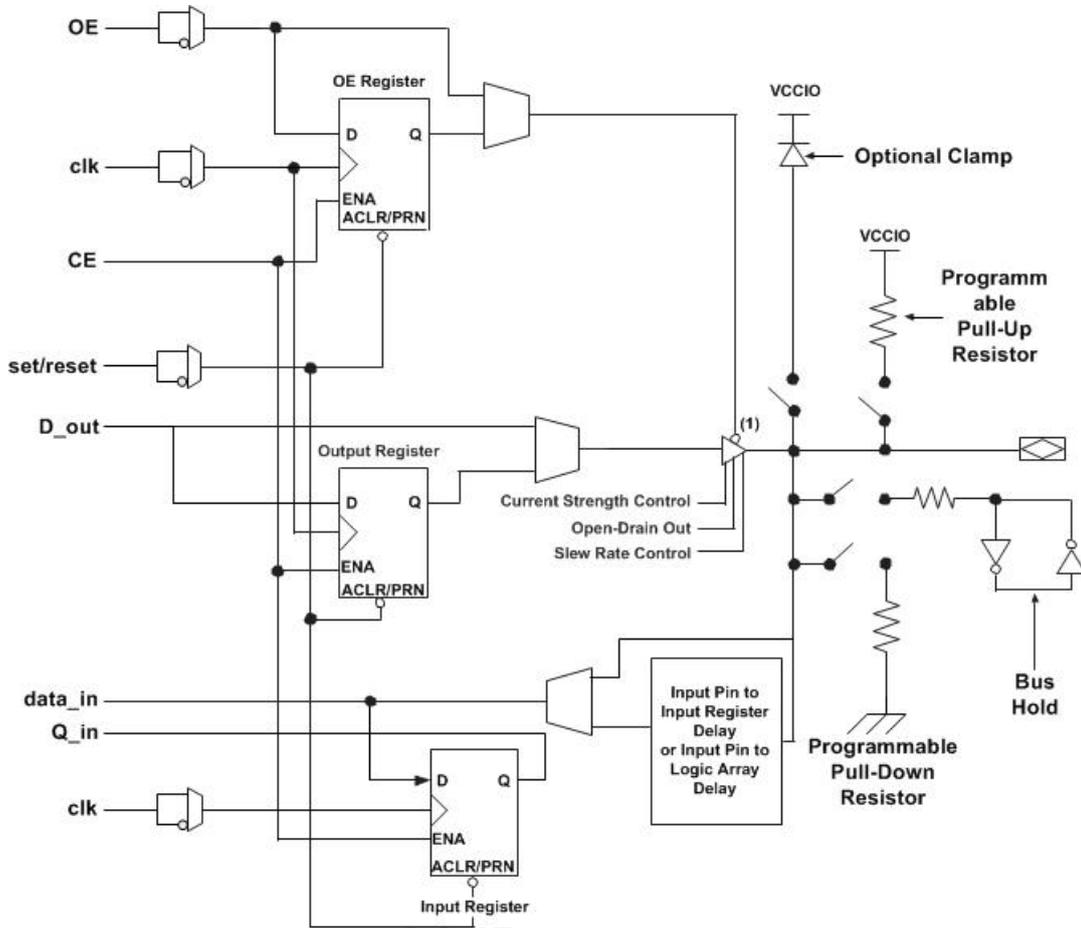


图 6-1 SDR 模式下 I/O 单元的双向 I/O 配置

6.2 I/O 单元特性

I/O 单元提供了 I/O 管脚的一系列可编程功能。这些功能增加了 I/O 利用率的灵活性，并提供了一个取代外部分立元器件的方法，例如上拉电阻和二极管。

6.2.1 可编程电流强度

每个 I/O 管脚上的输出缓冲器，能够对于某些 I/O 标准提供一个可编程电流强度控制。

LVTTL、LVCMOS、SSTL-25ClassI、SSTL-25ClassII、SSTL-18ClassI、SSTL-18ClassII、HSTL-18ClassI、HSTL-18ClassII、等 I/O 标准电流强度均可以设定。

表 6-1 显示了对电流强度控制的 I/O 标准的设置标准。这些可编程电流强度设置，对于帮助降低同步切换输出 (SSO) 的影响、减少系统噪声来说，是一

种很有价值的工具。其所支持的设置，能够确保器件驱动符合在相应的 I/O 标准中 IOH 和 IOL 的规范。

6.2.2 摆率控制 (Slew Rate)

每个 I/O 管脚的输出缓冲器，能够提供可选的可编程输出摆率 (Slew Rate) 控制。然而，这些快速跳变可能引进系统中的噪声跳变。一个较慢的摆率可以减少系统的噪声，但却增加了上升沿和下降沿的标称延迟。

由于每个 I/O 管脚都有一个单独的摆率控制，您可以逐一为每个引脚指定摆率。摆率控制影响上升沿和下降沿。摆率控制在 8 毫安或更高的电流强度中可用于单端 I/O 标准。

6.2.3 开漏输出 (Open Drain)

本系列 FPGA 器件为每个管脚提供一个可选的开漏输出 (Open Drain)。这个开漏输出使能器件，以提供系统级的控制信号 (比如：中断或写入使能信号)，且可以被系统中的多个器件驱动成置位。

6.2.4 总线保持

每个用户 I/O 管脚提供了一个可选的总线保持功能。总线保持电路，能够保存其最后驱动状态的 I/O 管脚上的信号。由于总线保持功能，保存了最后驱动状态的管脚电平，直到下一个输入信号出现。在总线状态为三态时，保持信号水平，不需要在芯片外部加入上拉或者下拉电阻。

总线保持电路，也把未驱动的管脚从输入阈值电压中拉离。未驱动的管脚输入其噪声，可能会导致意想不到的高频切换。您可以单独为每个 I/O 管脚选择这项功能。另外，请注意总线保持的输出驱动不可高过 VCCIO，以防止过驱信号。

假如您启用总线保持功能，那么器件不能使用可编程的上拉电阻选项。当 I/O 管脚配置为差分信号时，禁用总线保持的功能。

总线保持电路只有在配置完成后才有效。当进入用户模式时，总线保持电路采集呈现在最后配置的管脚上的值。

6.2.5 可编程的上拉电阻或下拉电阻

本系列 FPGA 器件的 I/O 管脚在用户模式中提供一个可选的可编程上拉电阻或下拉电阻。如果你为 I/O 管脚启用这一功能，那么上拉电阻需要保持输出到输出管脚块中的 VCCIO 电平。

如果您启用可编程上拉电阻或下拉电阻，那么该器件无法使用总线保持的功能。

6.2.6 可编程的延迟

I/O 单元包括可编程延迟以确保零保持时间、最小化建立时间、延迟时钟输入信号。

一个管脚中的一条路径直接驱动一个寄存器，可能需要一个可编程延迟以确保零保持时间；然而，一个管脚的一条路径通过组合逻辑驱动一个寄存器，则可能不需要延迟。

可编程延迟最小化建立时间：HqFpga 编译器可编程这些延迟，以自动最小化建立时间，同时提供一个零保持时间。

每个复用时钟输入管脚，提供一个可编程延迟到全局时钟网络。

6.2.7 预置和清零

I/O 单元寄存器，在每个 I/O 模块的预置或清零功能上，共享相同的资源。您可以为每个独立的 I/O 单元编程预置或清零功能，但您不可以同时使用这两项功能。

您也可以编程寄存器上电到高电平或低电平。如果编程到低电平，异步清零可以控制寄存器。如果编程到高电平，异步预置可以控制寄存器。此功能可以防止无意中激活另一个器件上电后的低电平有效的输入。

此外，I/O 单元寄存器也支持同步复位信号。

6.2.8 PCI 钳位二极管 (PCI-Clamp)

Sealion (海狮) 2000/2000S 系列 FPGA 器件为底部的 I/O 模块 (bank3, bank4) 的 I/O 管脚，提供一个可选的 PCI-Clamp 二极管使能输入和输出。其余 I/O 模块的 I/O 管脚，有可选的 Clamp，但是不是 PCI 特性的 PCI-Clamp

PCI-Clamp 二极管在以下 I/O 标准中是可用的：

- 3.3-VLVTTL
- 3.3-VLVC MOS
- 2.5-VLVTTL/LVC MOS
- PCI

6.3 I/O 标准

本系列 FPGA 器件支持多个单端和差分 I/O 标准，支持 3.3、2.5、1.8、1.5 和 1.2V 的 I/O 标准。表 6-1 总结了所支持的 I/O 标准和所支持的 I/O 管脚。

表 6-1 支持 I/O 标准和限制

I/O 标准	类型	VCCIO (V)	输出驱动电流	输入 Vref
3.3-VLVTTL,	单端	3.3	4, 8, 12, 16, 24	-
3.3-VLVC MOS	单端	3.3	4, 8, 12, 16, 24	-
2.5-VLVC MOS	单端	2.5	4, 8, 12, 16	-
1.8-VLVC MOS	单端	1.8	4, 8, 12	-
1.5-VLVC MOS	单端	1.5	4, 8	-
1.2-VLVC MOS	单端	1.2	2, 6	-
SSTL-25 Class I	单端	2.5	8	1.25
SSTL-25 Class II (注 1)	单端	2.5	-	1.25
SSTL-18 Class I	单端	1.8	8	0.9
SSTL-18 Class II (注 1)	单端	1.8	-	0.9
HSTL-18 Class I	单端	1.8	8	0.9
HSTL-18 Class II (注 1)	单端	1.8	-	0.9
PCI33	单端	3.3	24	-
SSTL-25 Class I	差分 (注 2)	2.5	8	-
SSTL-25 Class II (注 1)	差分	2.5	-	-
SSTL-18 Class I	差分 (注 2)	1.8	8	-
SSTL-18 Class II (注 1)	差分	1.8	-	-
HSTL-18 Class I	差分 (注 2)	1.8	8	-
HSTL-18 Class II (注 1)	差分	1.8	-	-
MLVDS	差分 (注 3)	2.5	16	-
LVDS	差分 (注 3)	2.5	3.5	-
RS DS	差分 (注 3)	2.5	8	-
BLVDS	差分 (注 3)	2.5	8	-
LVPECL	差分 (注 3)	3.3	16	-
MIPI	差分 (注 4)	2.5	2	-

【注】

- (1) SSTL-25 Class II, SSTL-18 Class II、和 HSTL-18 Class II 都仅支持输入管脚。
- (2) 差分 HSTL 和 SSTL 输出使用两个单端输出，其中第二个输出编程为反转输出。
- (3) 差分 LVPECL, MLVDS, BLVDS, 和 RS DS 输出使用两个单端 LVCMOS 输出和外加配套电阻。其中第二个输出编程为反转输出。
- (4) MIPI 使用真 LVDS 输出，和外加配套电阻。MIPI 输入使用真双端口输入缓冲器。

6.4 I/O 模块 (BANK)

I/O 管脚可以组合成 I/O 模块。每个 I/O 模块都有一个独立的电源端口。

本系列系列 FPGA 器件共有八个 I/O 模块，如图 6-2 所示。每个器件 I/O 管

脚与一个 I/O 模块相关。所有 I/O 模块都支持全部的单端 I/O 标准。所有 I/O 模块都支持全部的差分 I/O 标准除了真 LVDS 输出只在顶部的 I/O 模块支持。

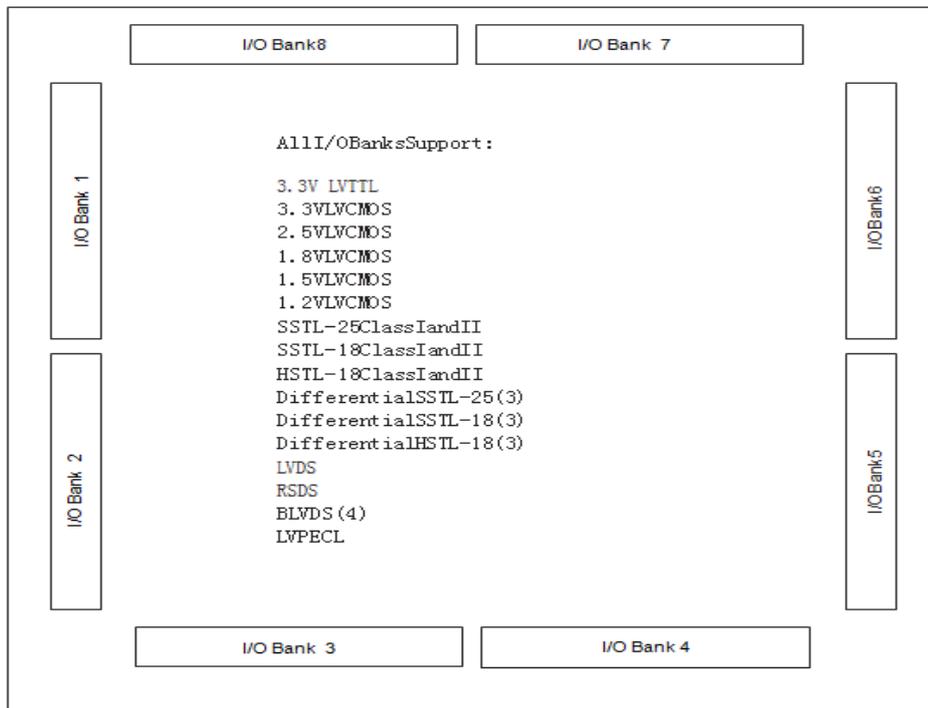


图 6-2 FPGAI/O 模块(除了低密度器件)

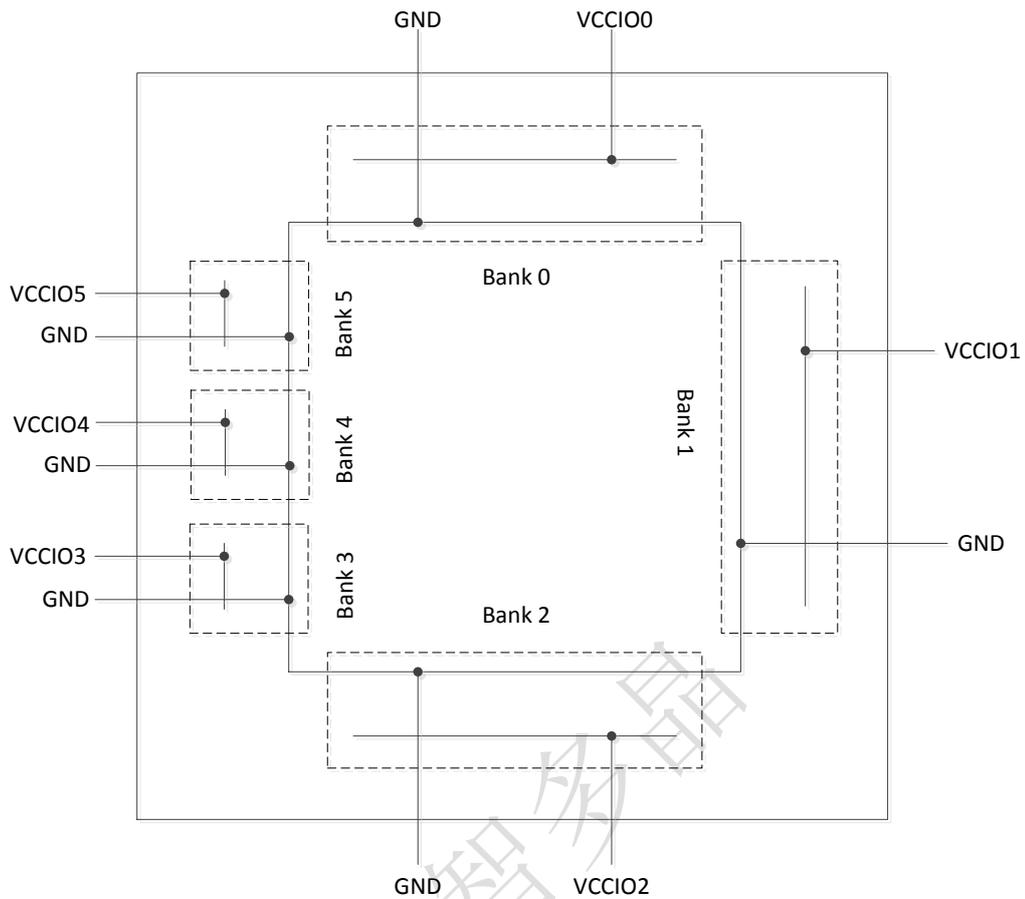


图 6-3 FPGAI/O 模块(5K, 7K 低密度器件)

【注】

- (1) 这是硅芯片的顶层视图，仅仅是一个图形化的表示。对于精确的管脚位置，请参考管脚列表和 HqFpga 软件。
- (2) 真 LVDS 差分输出仅仅在顶部的 I/O 模块支持。伪双端 LVDS、RSDS、BLVDS、MLVDS、LVPECL 等差分输出所有 I/O 模块都支持，但是需要外加电阻。
- (3) 差分 SSTL-18 和 SSTL-25、差分 HSTL-18 标准不支持 ClassII 输出。
- (4) BLVDS 输出使用两个单端输出，其中第二个输出编程为反转输出。BLVDS 输入使用真 LVDS 输入缓冲器。

6.4.1 VREF 总线

每个 I/O 模块有一个 VREF 总线，适应于参考电压 I/O 标准。I/O 模块任意一个 I/O 端口，都可以驱动 I/O 模块的 VREF 总线，提供 I/O 模块管脚的 VREF 参考源。

如果 I/O 模块中任何 I/O 使用参考电压 I/O 标准，必须连接这个 I/O 模块一个管脚作为 VREF 输入驱动管脚并且连接到相应的电平。

如果您使用的 I/O 模块中所有的端口都没有使用参考电压 I/O 标准，您可以在将 I/O 模块所有的管脚都作为 I/O 管脚，此 I/O 模块的 VREF 总线可以不被驱动。

例如，如果您在 I/O 模块 1 中有 SSTL-25ClassI 输入管脚，I/O 模块 1 的一个端口必须连接到 1.25V 的电压源来驱动 VREF 总线。I/O 模块 2 到 I/O 模块 8 的端口可以全部是 I/O 端口，不需要驱动相对应的 VREF 总线。

一个 I/O 模块，只有一个 VREF 总线。如果多个参考电压 I/O 标准被用在同一个 I/O 模块中，那么那多个参考电压 I/O 标准的 VREF 总线必须全部使用相同的电压电平。

6.4.2 VCCIO

每个 I/O 模块有其自身的 VCCIO 管脚。每个 I/O 模块可以支持 1.2、1.5、1.8、2.5、和 3.3V 当中的一种 VCCIO 设置。任何数目的单端或差分标准都可以在一个单一的 I/O 模块内同时支持，只要他们的输入和输出管脚使用相同的 VCCIO 电平。

当设计 LVTTTL/LVCMOS 输入时，请参考以下准则：

- 所有管脚接受输入电压 (VI) 到最高范围 (3.6V)。
- 只要输入电平高于 VCCIO 块时，预期会有更高的泄漏电流。
- 输入管脚为 LVTTTL/LVCMOSI/O 标准时，VIL/VIH 电平标准取决于该 I/O 模块的 VCCIO。

同一个 I/O 模块中，可以使用任何数量的单端或差分标准的参考电压标准，条件是它们使用相同的 VREF 和 VCCIO 值。例如，如果您选择在本系列 FPGA 器件中实现 SSTL-25 和 SSTL-18，由于他们需要不同的 VREF 值，如果 I/O 管脚使用这些标准，就必须通过不同的 I/O 模块来实现。然而，相同的 I/O 模块，可以同时支持 SSTL-25 和 2.5-VLVC MOS，此时 VCCIO 设置为 2.5V 和 VREF 设置为 1.25V。

6.4.3 高速差分接口

本系列 FPGA 器件，通过 LVDS 信号可以发送与接收数据。对于 LVDS 发送器和接收器，FPGA 器件的输入与输出管脚通过内部逻辑支持串行并行转换。

BLVDS 延伸了 LVDS 的优势来做多点运用，例如双向的背板运用。负载效应和匹配总线两端的多点运用，需要 BLVDS 比 LVDS 驱动更高的电流，以生成一个可比较的电压摆幅。所有 I/O 模块，均支持用户 I/O 管脚的 BLVDS。

RSDS 和 mini-LVDS 标准，是 LVDS 标准的衍生标准。RSDS 和 mini-LVDSI/O 校准与 LVDS 的电气特征相类似，但有一个更小的电压摆幅，因此提供了增加功耗上的优势以及减少电磁干扰 (EMI)。

LVDS 标准不需要一个输入参考电压，但它在输入缓冲器的两个信号之间需要一个 100 Ω 的匹配电阻。LVDS 发送端在器件的顶部 (I/O 模块 7 和 8)、器件的底部 (I/O 模块 3 和 4) 有内置 100 Ω 的匹配电阻。

6.4.4 外部存储器接口

本系列 FPGA 器件支持的 I/O 标准要求与广泛的外部存储器接口相连接，例如 DDR SDRAM 和 DDR2 SDRAM。

6.5 高速 I/O 接口

本系列 FPGA 器件的 I/O 被分成 8 个 I/O 模块，每个模块有一个独立的电源供电，真 LVDS 输出在顶部的 I/O 模块中驱动。

伪双端输出，就是使用两个单端输出，其中第二个输出编程为反转输出，以及一个外部电阻网络。可以支持 LVDS、RSDS、BLVDS、LVPECL 等高速 I/O 标准。所有的 I/O 模块都支持伪双端高速输出。

所有的 I/O 模块都可以支持这些 I/O 标准的输入缓冲器。

表 6-2 I/O 模块支持的差分 I/O 标准

差分 I/O 标准	I/O 模块位置	发送器的外部电阻网络
LVDS	7, 8	不需要
	1, 2, 3, 4, 5, 6	三个电阻
mini-LVDS	7, 8	不需要
	1, 2, 3, 4, 5, 6	三个电阻
RSDS	7, 8	不需要
	1, 2, 3, 4, 5, 6	三个电阻
BLVDS	所有	三个电阻
LVPECL	所有	三个电阻
差分 SSTL-25	所有	—
差分 SSTL-18	所有	—
差分 HSTL-18	所有	—

您可以使用 I/O 管脚和内部逻辑实现高速差分接口。本系列 FPGA 器件不包括专用的序列化和反序列化电路。因此，移位寄存器、内部锁相环 (PLL) 和 I/O 单元被用于执行串行并行转换。对数据的输入执行串行转换并行，对数据的输出执行并行转换串行。

6.6 高速 I/O 标准支持

6.6.1 LVDS 的 I/O 标准

本系列 FPGA 器件顶端的 I/O 模块，支持真 LVDS 发送器；其他的 I/O 模块，支持伪双端 LVDS 发送器，使用两个单端输出缓冲器和外部电阻。其中，一个单端输出缓冲器，被编程到相反极性。LVDS 接收器，在输入缓冲器的两个信号之间，需要一个 $100\text{-}\Omega$ 的外部匹配电阻。

图 6-3 显示一个点对点的 LVDS 接口，使用真 LVDS 输出和输入缓冲器。

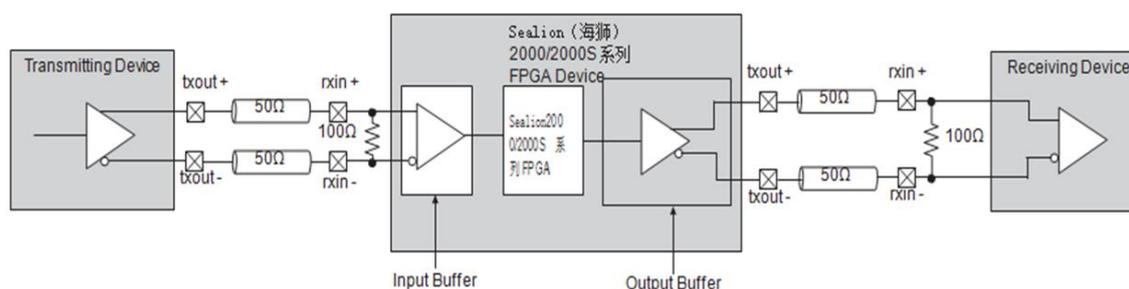


图 6-3 真双端输出 LVDS 接口，在器件的顶部 I/O 模块

图 6-4 显示一个点对点的 LVDS 接口，与 LVDS 使用两个单端输出缓冲器和外部电阻。

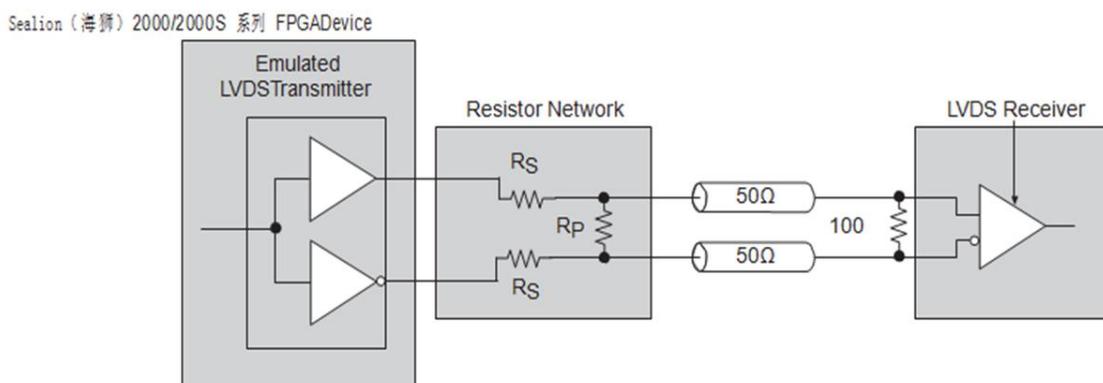


图 6-4 伪双端口 LVDS 接口与外部电阻网络

【注】 $R_S = 160\ \Omega$ ， $R_P = 160\ \Omega$ 。

6.6.2 BLVDS 的 I/O 标准

BLVDS 的 I/O 标准，是一项高速差分数据传输技术，它延伸了标准点对点 LVDS 至支持双向半双工通信的多点配置的优势。BLVDS 不同于标准 LVDS，它提

供了更高的驱动以实现在接收器中的类似信号摆幅，同时总线两端的终端加载两个匹配。

图 6-5 显示了一个典型的 BLVDS 拓扑与多个发送器和接收器对。

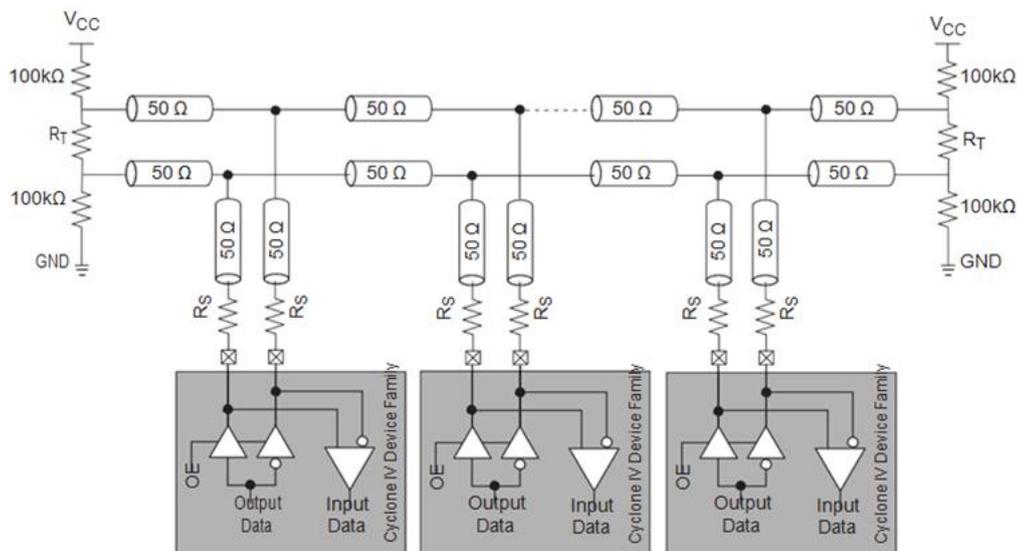


图 6-5 BLVDS 拓扑与发送器和接收器

本系列 FPGA 器件，每一个 I/O 模块都支持 BLVDS 的 I/O 标准。BLVDS 发送器使用两个单端输出缓冲器，其中第二个输出缓冲器编程为反转数据。而 BLVDS 接收器使用一个真 LVDS 输入缓冲器。发送器和接收器共享相同的管脚。一个输出使能 (OE) 信号是用来让输出缓冲呈现三态，当 LVDS 输入缓冲器接收一个信号时。

■ BLVDS 的设计考量

BLVDS 双向通信，要求 BLVDS 的总线的两个终端要匹配。匹配电阻 (RT) 必须符合总线差分阻抗，而这取决于总线上的加载。增加加载，降低总线差分阻抗。因为总线的两端有两个终端匹配，在输入缓冲器的两个信号之间的匹配是不需要的。输出缓冲器需要一个单一的串联电阻 (RS) 用于输出设备缓冲阻抗与传输线阻抗相匹配。然而，这个串联电阻影响输入缓冲器的电压摆幅。最大数据速率的实现取决于许多因素。

6.6.3 RSDS、Mini-LVDS 和 PPDS 的 I/O 标准

RSDS、mini-LVDS 和 PPDS 的 I/O 标准，用于显示面板上的时间控制器和列驱动器之间的芯片到芯片的应用程序，如液晶显示器 (LCD) 和液晶电视。

本系列 FPGA 器件符合国家半导体公司的 RSDS 接口规范、德州仪器 (Texas Instruments) mini-LVDS 接口规范以及国家半导体公司的 PPDS 接口规范，分别

支持 RSDS、mini-LVDS 和 PPDS 输出标准。

RSDS、Mini-LVDS 和 PPDS 的设计

I/O 模块支持 RSDS、mini-LVDS 和 PPDS 输出标准。顶部的 I/O 模块支持真 RSDS、mini-LVDS 和 PPDS 发送器。每一个 I/O 模块都支持伪双端口 RSDS、mini-LVDS 和 PPDS 发送器使用外部电阻的两个单端输出缓冲器。这两个单端输出缓冲器编程为极性相反。

图 6-6 显示了一个 RSDS、mini-LVDS 或者 PPDS 与一个真输出缓冲器的接口。

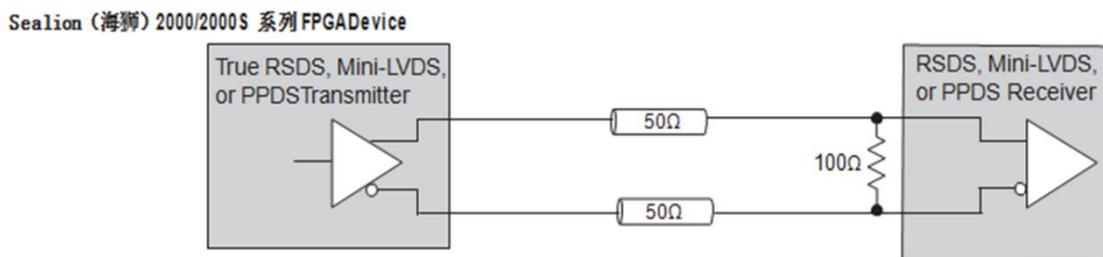


图 6-6 RSDS、Mini-LVDS 或者 PPDS 接口与顶端 I/O 模块的真输出缓冲器

图 6-7 显示了一个 RSDS、mini-LVDS 或者 PPDS 与两个单端输出缓冲器和外部电阻的接口。

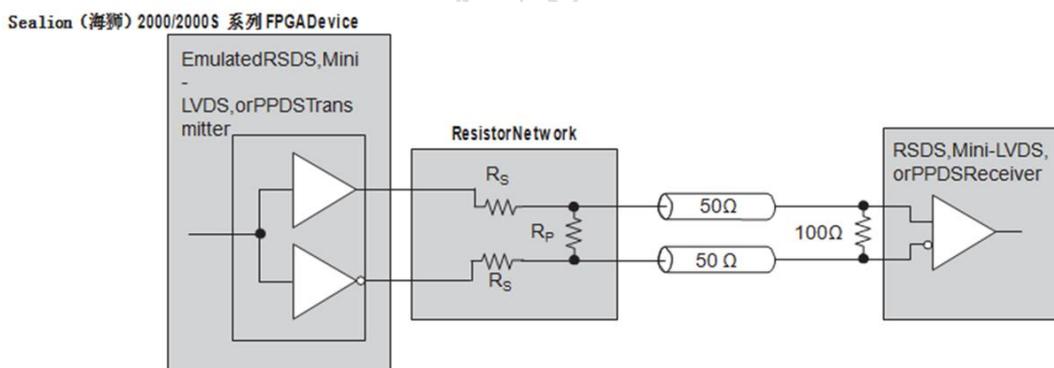


图 6-7 RSDS、Mini-LVDS 或者 PPDS 接口与 I/O 模块上的外部电阻网络。

【注】 R_S 和 R_P 值都有待验证。

当使用伪双端口发送器时，需要一个电阻网络衰减输出电压摆幅以符合 RSDS、mini-LVDS 和 PPDS 的规范。您可以修改电阻网络值以降低功耗或者改善噪声容限。

所选的电阻值必须满足公式 1:

$$\frac{R_S \times \frac{R_P}{2}}{R_S + \frac{R_P}{2}} = 50\Omega$$

公式 1 电阻网络

6.6.4 差分 SSTL 的 I/O 标准

差分 SSTL 的 I/O 标准，是一个内存总线标准用于如对高速 DDR SDRAM 接口的应用。本系列 FPGA 器件支持差分 SSTL-25 和 SSTL-18 的 I/O 标准。差分 SSTL 输出标准使用两个单端 SSTL 输出缓冲器，其中第二个输出管脚编程为极性相反的管脚。差分 SSTL 输入标准使用真双端口差分输入缓冲器。

6.6.5 差分 HSTL 的 I/O 标准

差分 HSTL I/O 标准，用于设计以操作在 0V~1.8V 的 HSTL 逻辑开关范围应用。本系列 FPGA 器件支持差分 HSTL-18 的 I/O 标准。差分 HSTL 输入标准，使用真双端口差分输入缓冲器。差分 HSTL 输出标准使用两个单端 HSTL 输出缓冲器，其中第二个输出管脚编程为极性相反的管脚。

6.6.6 模拟 MIPI-DPHY 支持

MIPI-DPHY 速率可达 1.2Gbps.

具体文档说明另外提供。