

## HqFpga 使用说明

1、启动软件,界面如下:

🔶 HqFpga			- 🗆 ×
※     ※     ● </th <th>D L RTL综合</th> <th>2 设计实现</th> <th>3 DRC/Bitgen</th>	D L RTL综合	2 设计实现	3 DRC/Bitgen
设置(5)			ŕ

2、点击新建工程,输入工程名称,选择目标器件,设计输入类型选择 RTL 描述,点击下一步。

	◆新建工程 - □ ×
	设置(S)
	▲ 」 上柱名 小能 为空 , 请重 新 输入 .
	工作目录:
	C:\Users\me\Desktop\pll 浏览
	项目名称和输出目录
	工程名称:
	输出目录: hq_run
	选择目标器件
$\sim$	SL2-12V v - F256 v - 6 v
$\wedge \wedge$	
	HW WH

3、单击加号添加源文件后,点击完成。



	◆新建工程		– 🗆 X	
	RTL 输入:		1	
	源文件			
	+ • ×			
	源文件	绝对路经 Cillisersime)Desktonial		
	pitv	c.(osers(ine)besktop/pi		
		上一步下一步完	成取消	
4、点击第一步:RTL 结	云合。			
🔶 HqFpga - C:/Users/me/Des	ktop/pll/pro/		- 0	×
	* 🖬			
新建工程				
17开工程	<ul> <li>単元 使用 包敷 比単</li> <li>勉入物 5 194 2%</li> <li>PLL 1 2 50%</li> </ul>			
工程属性		2	3 🚺	
IP管理	Wing	设计实现	DRC/Bitgen	
物理约束				
100 时序约束	工程名称: pro   器件类型	: SL2-12V-F2566   顶层模块: pll   工作目录	: C:/Users/me/Desktop/pll/pro/	
设置(S)	1110. <u>王</u> 編起5月94 1nfo: <b>网家后处理</b> 1nfo: 完成周茎模턴. 1nfo: 完成周素校正.			î
全部运行	Info: 时序驱动优化及映射执行时间 : e 秒. Info: 自动添加约束: create_generated_clock Info: 自动添加约束: create_generated_clock Info: 自动添加约束: create_generated_clock Info: 自动添加约束的5束: create_generated_clock Info: 输出网表报告到文件C:\Users\me\Deskto	<pre>{PLLInst_@/CLKDP} -source {PLLInst_@/CLKI} -mult (PLLInst_@/CLKD5) -source (PLLInst_@/CLKI) -mult (PLLInst_@/CLKD3) -source (PLLInst_@/CLKI) -mul hpll/prolNq_run/pll_import.rpt4).</pre>	iply_by 24 -divide_by 6. iply_by 24 -divide_by 4. tiply_by 24 -divide_by 3.	v
5、进行物理约束.约束	IO 位置, 弹出t	加下对话框。		
A -	曾加 物理約束		×	

🧇 增加 物理约束	×
<ul> <li>         ・釣束编辑器         ・         ・         ・</li></ul>	
	浏览
	确定

有两种方式约束 IO 位置。

<mark>第一种</mark>:选择约束编辑器。点击确定,出现如下界面,单击全选 --> 启用,





🔶 物理約	]東*									×
🖏 管脚分	配 🖏 指	淀位置								
<ul> <li>✓</li> <li>✓</li> <li>✓</li> <li>✓</li> <li>✓</li> </ul>	□ □	□ □ 禁用保存	△ 导出							
状态	端口	方向	位置	IO_TYPE	PULLMODE	CLAMP	HYSTERESIS	DRIVE	SLEWRATE	DIFFDR
□启用	CLKI	⇒ INPUT		LVCM0S25	DOWN	ON	SMALL	NA	NA	NA
启用	CLKOP	<b>⇔</b> ou		LVCMOS25	NONE	OFF	NA	8	SLOW	NA
□启用	CLKOS	<b>⇔</b> ou…		LVCM0S25	NONE	OFF	NA	8	SLOW	NA
□启用	CLKOS2	⇔ ou…		LVCMOS25	NONE	OFF	NA	8	SLOW	NA
□启用	LOCK	<b>⇔</b> ou…		LVCMOS25	NONE	OFF	NA	8	SLOW	NA
<										>
🤉 展示約	東信息框									*
清除	t								退	±

单击每个端口对应的位置,选择对应的 FPGA 引脚,全部放置完成后, 点击保存,然后退出。



第二种:选择导入约束文件。点击浏览,选择.upc 文件(输入输出引脚分配文件),确定。

upc 文件格式如下: \*.upc

括号内为输入输出引脚,最后一列为 FPGA 对应的引脚,修改时只需修改设计 文件对应的输入输出引脚和 FPGA 的引脚即可。

phycst.start	
phycst.pin.set	{CLKI} E1
phycst.pin.set	{CLKOP} A2
phycst.pin.set	{CLKOS} A3
phycst.pin.set	{CLKOS2} A4
phycst.pin.set	{LOCK} A5
phycst.end	



6、点击软件界面第二步:设计实现,进行布局布线。

7、点击左下角设置选项,选择位流生成,勾选生成二进制文件、压缩比特流两个选项,点 击确定。

全局设置	综合/映射	组装/布局	布线	位流生成	ŧ		
上成二进制	间文件格式		[	$\checkmark$			
玉缩比特济	it.		[	$\checkmark$			
七特流中不	「含CRC		[				
上成逆序二	进制文件格式	t	[				
¥细输出信	息		[				ж

8、点击软件界面第三步: DRC/bitgen, 生成下载文件\*.bin 和\*.bit 文件, 默认在目录: /hqrun. ---bit 文件用于 jtag 模式下载

---bin 文件用于 mspi 模式下载