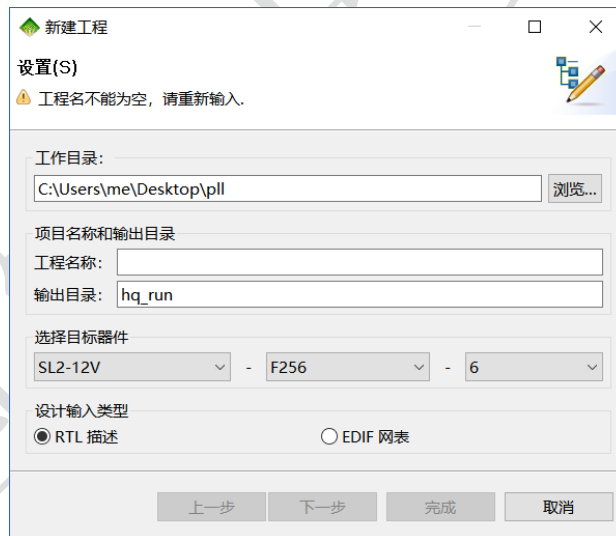


## HqFpga 使用说明

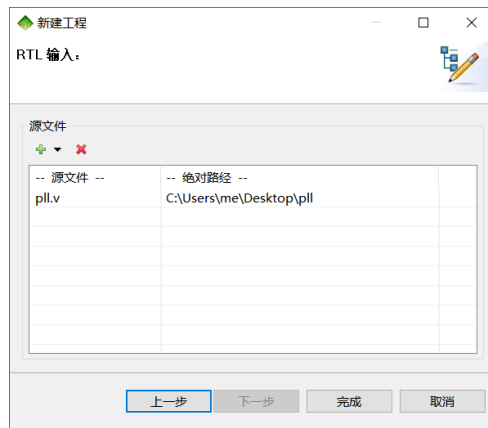
1、启动软件，界面如下：



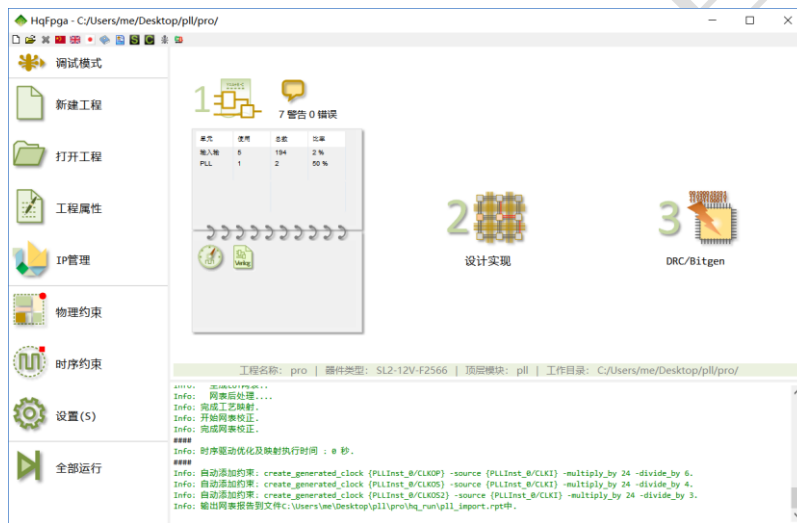
2、点击新建工程，输入工程名称，选择目标器件，设计输入类型选择 RTL 描述，点击下一步。



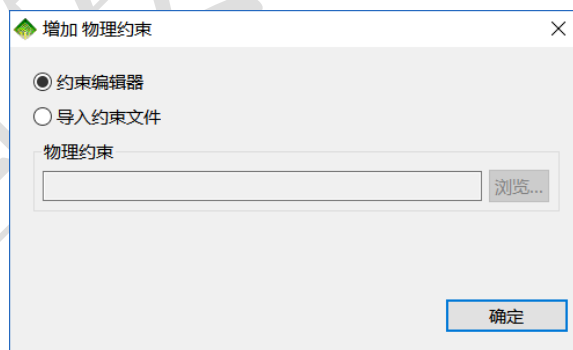
3、单击加号添加源文件后，点击完成。



4、点击第一步：RTL 综合。

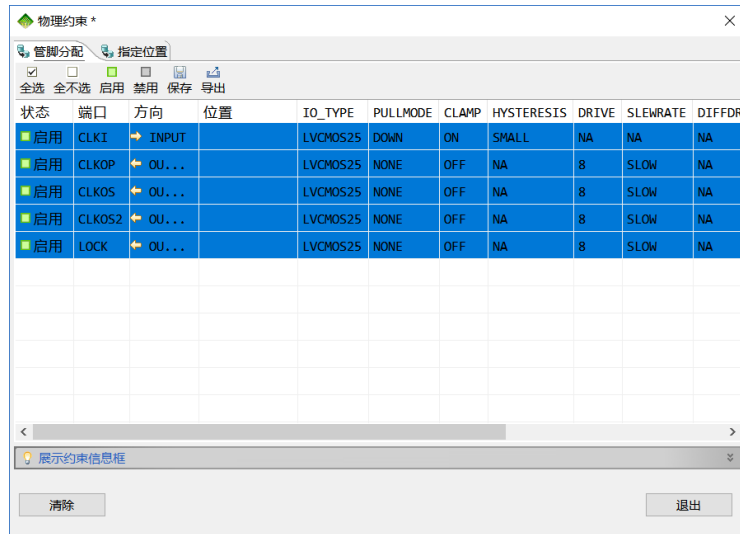


5、进行物理约束，约束 IO 位置，弹出如下对话框。

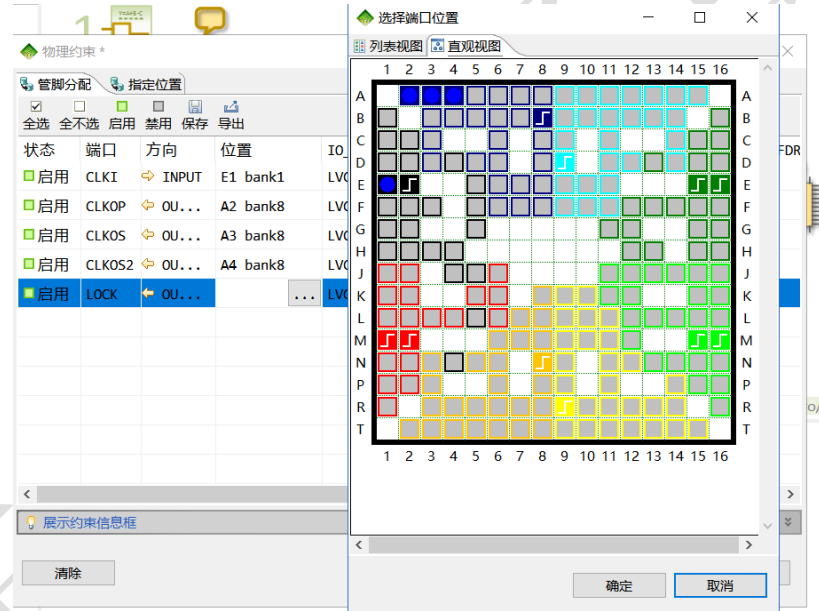


有两种方式约束 IO 位置。

**第一种**：选择约束编辑器。点击确定，出现如下界面，单击全选 --> 启用，



单击每个端口对应的位置，选择对应的 FPGA 引脚，全部放置完成后，点击保存，然后退出。



**第二种**：选择导入约束文件。点击浏览，选择.upc 文件（输入输出引脚分配文件），确定。

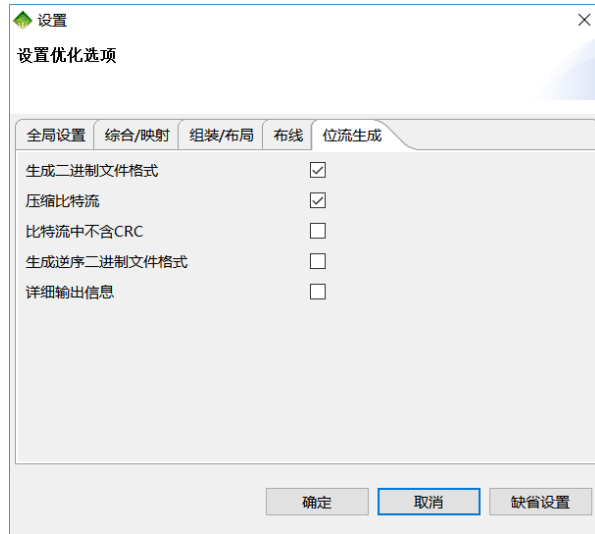
upc 文件格式如下：\*.upc

括号内为输入输出引脚，最后一列为 FPGA 对应的引脚，修改时只需修改设计文件对应的输入输出引脚和 FPGA 的引脚即可。

```

phycst.start
phycst.pin.set {CLKI} E1
phycst.pin.set {CLKOP} A2
phycst.pin.set {CLKOS} A3
phycst.pin.set {CLKOS2} A4
phycst.pin.set {LOCK} A5
phycst.end
    
```

- 6、点击软件界面第二步：设计实现，进行布局布线。
- 7、点击左下角设置选项，选择位流生成，勾选生成二进制文件、压缩比特流两个选项，点击确定。



- 8、点击软件界面第三步：DRC/bitgen，生成下载文件\*.bin 和\*.bit 文件，默认在目录：/hqrn.  
---bit 文件用于 jtag 模式下载  
---bin 文件用于 mspi 模式下载